

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Jeong-ju PARK

Serial No.: [NEW]

Attn: Applications Branch

Filed: August 6, 2003

Attorney Docket No.: SEC.1071

For: LOWER ELECTRODE CONTACT STRUCTURE AND METHOD OF FORMING  
THE SAME

**CLAIM OF PRIORITY**

Honorable Assistant Commissioner for Patents and Trademarks,  
P.O. Box 1450  
Alexandria, VA 22313

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Korean application:

Appln. No. 10-2002-0060465      filed October 4, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.



Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: August 6, 2003

대한민국 특허청  
KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0060465  
Application Number

출원년월일 : 2002년 10월 04일  
Date of Application OCT 04, 2002

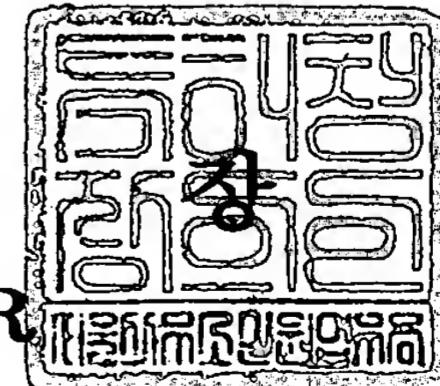
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 23 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【제출일자】	2002.10.04		
【발명의 명칭】	하부 막질에 대한 하부 전극의 접촉 구조 및 그 형성 방법		
【발명의 영문명칭】	LOWER ELECTRODE CONTACT STRUCTURE OVER AN UNDERLYING LAYER AND METHOD OF FORMING THEREOF		
【출원인】			
【명칭】	삼성전자 주식회사		
【출원인코드】	1-1998-104271-3		
【대리인】			
【성명】	임창현		
【대리인코드】	9-1998-000386-5		
【포괄위임등록번호】	1999-007368-2		
【대리인】			
【성명】	권혁수		
【대리인코드】	9-1999-000370-4		
【포괄위임등록번호】	1999-056971-6		
【발명자】			
【성명의 국문표기】	박정주		
【성명의 영문표기】	PARK, JEONG JU		
【주민등록번호】	660713-1850512		
【우편번호】	442-370		
【주소】	경기도 수원시 팔달구 매탄동 주공그린빌아파트 308동 1202호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	16	면	16,000 원

1020020060465

출력 일자: 2003/4/24

【우선권주장료】	0	건	0	원
【심사청구료】	23	항	845,000	원
【합계】	890,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

하부 막질들에 대한 하부 전극의 새로운 접촉 구조 및 그 형성 방법이 개시된다.

하부 전극은 콘택 플러그 및 상기 콘택 플러그가 매몰된 절연막과 접촉한다. 콘택 플러그 테두리를 따라 지지막이 돌출되어 있어 상기 하부 전극과 이에 접촉하는 하부 막질들 사이의 접촉 면적이 증가한다. 이에 따라, 상기 하부 전극 및 상기 하부 막질들 사이의 결합력이 강화된다.

**【대표도】**

도 2

**【색인어】**

커패시터 하부 전극, 콘택 플러그

**【명세서】****【발명의 명칭】**

하부 막질에 대한 하부 전극의 접촉 구조 및 그 형성 방법{LOWER ELECTRODE CONTACT STRUCTURE OVER AN UNDERLYING LAYER AND METHOD OF FORMING THEREOF}

**【도면의 간단한 설명】**

도1은 통상적인 커패시터 하부 전극을 개략적으로 도시한 반도체 기판의 단면도이다.

도2는 본 발명의 일 실시예에 따른 하부 막질에 대한 하부 전극의 콘택 구조를 개략적으로 도시한 반도체 기판의 단면도이다.

도3은 본 발명의 다른 실시예에 따른 하부 막질에 대한 하부 전극의 콘택 구조를 개략적으로 도시한 반도체 기판의 단면도이다.

도4a 내지 도4k는 도2에 개략적으로 도시된 콘택 구조를 형성하는 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판을 개략적으로 도시한 단면도들이다.

도5a 내지 도5i는 도3에 개략적으로 도시된 콘택 구조를 형성하는 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판을 개략적으로 도시한 단면도들이다.

\* 도면의 주요 부분에 대한 부호의 설명

100 : 반도체 기판 180a : 콘택 플러그

160b, 260b : 전극 지지막 280a : 하부 전극

280as : 하부 전극의 측벽부 280ah : 하부 전극의 바닥부

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 하부 전극의 콘택 구조 및 그 형성 방법에 관한 것이다.

<11> 공정 기술의 발달로 최소 선폭이 작아지면서 반도체 기판 상에 형성되는 여러 소자들, 예컨대, 커패시터의 수평 치수는 줄어들고 수직 치수는 증가하고 있다. 커패시터는 일정한 정전 용량을 가져야 하기 때문에, 정전 용량과 직접적인 관련이 있는 하부 전극의 표면적을 증가시키기 위해 하부 전극이 매우 높은 높이를 가지도록 형성되고 있다. 즉, 소자의 고집적화에 따라, 커패시터의 수평 치수는 점점 더 줄어들고 있으며, 줄어든 수평 치수를 보상하여 일정 정전 용량을 확보하기 위해 커패시터의 수직 치수는 더욱더 증가하고 있다. 결론적으로 하부 전극이 그를 지지하는 하부 막질들과 접촉하는 면적(이는 하부 전극의 수평 치수에 의해 좌우됨) 줄어들게 된다. 이에 따라 하부 전극 및 그 하부 막질들 사이의 결합력도 줄어들게 된다. 따라서, 하부 전극이 반도체 제조 공정 중에 그 하부 막질로부터 이탈될 가능성이 있다. 예컨대, 인접한 하부 전극이 서로 전기적으로 연결될 수 있다.

<12> 도1을 참조하여 통상적인 커패시터 하부 전극 구조에서 발생하는 문제점의 일 예를 설명한다. 도1은 통상적인 실린더형 커패시터 하부 전극 구조를 개략적으로 도시한 반도체 기판의 일부 단면도이다. 콘택 플러그(18)는 절연막(12)을 관통하여 반도체 기판(미도시)의 활성 영역에 전기적으로 접속한다. 상기 절연막(12) 및 콘택 플러그(18) 상에

실린더형 하부 전극(28)이 배치된다. 소자의 고집적화에 따라 하부 전극(28)의 수평 치수, 즉 폭(W)은 감소하고 수직 치수, 즉 높이(H)는 증가한다. 이에 따라 하부 전극(28)이 하부 막질, 즉 콘택 플러그(18) 및 절연막(12)과 접하는 접촉면(CA)이 감소한다. 따라서, 하부 전극 형성 후 진행되는 세정 공정 중 건조 시 표면장력에 의해 하부 전극이 기울어지거나 또는 쓰러질 수 있으며, 이에 따라 인접한 하부 전극이 서로 전기적으로 연결되는 문제가 발생한다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 따라서, 본 발명은 이상에서 언급한 문제점들을 해결하기 위해 제안된 것으로서, 본 발명의 목적은 하부 전극 및 그것이 접촉하는 하부 막질 사이의 접촉면적이 증가된 하부 전극의 접촉 구조 및 그 제조 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<14> 상기 본 발명의 목적을 달성하기 위한 본 발명의 하부 전극 접촉 구조는 콘택 플러그 테두리를 따라 상기 콘택 플러그가 매몰된 절연막 상부 표면 보다 더 높은 지지막을 구비하는 것을 일 특징으로 한다. 이에 따라 상기 하부 전극의 바닥은 굴곡을 갖게 된다. 즉, 상기 하부 전극의 바닥은 상기 절연막, 콘택 플러그 및 지지막의 윤곽에 대응하는 형상을 가진다. 따라서 하부 전극 및 그것이 접촉하는(즉, 상기 하부 전극을 지지하는) 막질들 사이의 접촉면이 증가한다.

<15> 구체적으로 상기 본 발명의 목적을 달성하기 위한 하부 전극의 접촉 구조는, 절연

막의 소정 부분을 관통하여 하부 표면이 반도체 기판의 활성 영역에 전기적으로 접속된 콘택 플러그와, 상기 콘택 플러그 상부 표면 테두리 및 거기에 접하는 절연막에서 연장하여 돌출한 전극 지지막과, 상기 전극 지지막에 의해 노출된 콘택 플러그 상부 표면, 상기 전극 지지막 그리고 상기 전극 지지막 주위의 절연막에 접하여 소정 높이는 갖는 커패시터 하부 전극을 포함한다.

<16> 상기 콘택 구조에서 상기 전극 지지막은, 상기 콘택 플러그 상부 표면 테두리를 따라서 연장하여 상기 절연막 상부 표면 보다 더 높도록 돌출한 제1지지막과, 상기 제1지지막의 내외벽을 감싸도록 상기 절연막 일부 및 콘택 플러그 상부 표면 일부 상에 배치된 제2지지막을 포함한다.

<17> 상기 콘택 구조에서, 상기 콘택 플러그 외벽을 감싸는 절연막 스페이서를 더 포함할 수 있다. 이때, 상기 절연막 스페이서는 상기 제1지지막에서 연장한다. 상기 제1지지막 및 절연막 스페이서는 일체형이거나 개별적일 수 있다. 일체형 일 경우, 예컨대, 실리콘 질화막으로 형성된다. 그렇지 않을 경우, 상기 스페이서 절연막은 실리콘 질화막으로 상기 제1지지막은 폴리 실리콘으로 형성될 수 있다.

<18> 상기 콘택 구조에서 상기 제2지지막은 실리콘 질화막으로 형성될 수 있다.

<19> 상기 콘택 구조는, 상기 절연막 상에 배치되어 상기 하부 전극 외벽의 일부를 감싸는 식각저지막을 더 포함할 수 있다. 이때, 상기 식각저지막은 실리콘 질화막으로 형성될 수 있다. 상기 식각저지막의 두께는 상기 제2지지막의 두께와 실질적으로 동일하다.

<20> 상기 목적을 달성하기 위한 하부 전극 콘택 구조 형성 방법은, 반도체 기판 상에 형성된 하부 절연막을 관통하여 상기 반도체 기판의 활성 영역을 노출시키는 콘택홀을 형성하는 단계와, 상기 콘택홀 측벽에 절연막 스페이서를 형성하는 단계;

<21> 상기 콘택홀을 일부만 채우는 함몰 콘택 플러그를 형성하는 단계와, 상기 하부 절연막을 일부 제거하여 상기 측벽 스페이서 일부를 돌출 시키는 단계와, 상기 함몰 콘택 플러그, 상기 돌출된 측벽 스페이서, 그리고 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 커패시터 하부 전극을 형성하는 단계를 포함한다.

<22> 상기 방법에서, 상기 함몰 콘택 플러그를 형성하는 단계는, 상기 콘택홀을 완전히 채우도록 상기 하부 절연막 상에 도전물질을 형성하는 단계와, 상기 도전물질의 상부 표면이 상기 절연막 상부 표면 보다 낮아지도록, 상기 하부 절연막 및 측벽 스페이서에 대해서 상기 도전물질을 선택적으로 식각 하는 단계를 포함한다.

<23> 상기 방법에서, 상기 하부 전극을 형성하는 단계는, 상기 함몰 콘택 플러그 상부 표면, 상기 돌출된 측벽 스페이서 표면, 그리고 상기 하부 절연막 표면 상에 식각저지막 및 상부 절연막을 차례로 형성하는 단계와, 상기 상부 절연막을 패터닝하여 상기 함몰 콘택 플러그, 돌출된 측벽 스페이서 및 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 정렬되는 개구부를 형성하는 단계와, 상기 개구부에 의해 노출된 식각저지막을 에치백하는 단계와, 상기 개구부 바닥 및 측벽 그리고 상기 상부 절연막 상에 전극물질을 형성하는 단계와, 상기 개구부를 완전히 채우도록 상기 전극물질 상에 보호 절연막을 형성하는 단계와, 상기 상부 절연막 상부가 노출될 때까지 상기 보호 절연막 및 도전물질을 평탄화식각 하는 단계와, 상기 보호 절연막 및 상기 상부 절연막을 제거하는 단계를 포함한다.

<24> 상기 본 발명의 목적을 달성하기 위한 하부 전극 콘택 구조 형성 방법은, 반도체 기판 상에 형성된 하부 절연막을 관통하여 상기 반도체 기판의 활성 영역을 노출시키는 콘택홀을 형성하는 단계와, 상기 콘택홀을 일부만 채우는 함몰 콘택 플러그를 형성하는 단계와, 나머지 콘택홀의 측벽에 측벽 스페이서를 형성하는 단계와, 상기 하부 절연막을 일부 제거하여 상기 측벽 스페이서를 돌출 시키는 단계와, 상기 함몰 콘택 플러그, 상기 돌출 측벽 스페이서, 그리고 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 커패시터 하부 전극을 형성하는 단계를 포함한다.

<25> 상기 방법에서, 상기 함몰 콘택 플러그를 형성하는 단계는, 상기 콘택홀을 완전히 채우도록 상기 하부 절연막 상에 도전물질을 형성하는 단계와, 상기 도전물질의 상부 표면이 상기 절연막 상부 표면 보다 낮아지도록, 상기 하부 절연막에 대해서 상기 도전물질을 선택적으로 식각 하는 단계를 포함한다.

<26> 상기 방법에서, 상기 하부 전극을 형성하는 단계는, 상기 함몰 콘택 플러그 상부 표면, 상기 돌출 측벽 스페이서 표면, 그리고 상기 하부 절연막 표면 상에 식각저지막 및 상부 절연막을 차례로 형성하는 단계와, 상기 상부 절연막을 패터닝하여 상기 함몰 콘택 플러그, 돌출 측벽 스페이서 및 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 정렬되는 개구부를 형성하는 단계와, 상기 개구부에 의해 노출된 식각저지막을 에치백하는 단계와, 상기 개구부 바닥 및 측벽 그리고 상기 상부 절연막 상에 전극물질을 형성하는 단계와, 상기 개구부를 완전히 채우도록 상기 전극물질 상에 보호 절연막을 형성하는 단계와, 상기 상부 절연막 상부가 노출될 때까지 상기 보호 절연막 및 도전물질을 평탄화식각 하는 단계와, 상기 보호 절연막 및 상기 상부 절연막을 제거하는 단계를 포함한다.

<27> 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들에 대하여 상세히 설명을 한다. 첨부된 도면들에서 도일한 기능을 갖는 구성요소에 대해서는 동일한 참조번호를 사용하였으며, 설명의 명확화를 위해 단지 하나의 하부 전극만을 도시하였다.

<28> 도2는 본 발명의 바람직한 실시예에 따른 하부 전극 구조, 즉 하부 막질에 대한 하부 전극의 콘택 구조를 개략적으로 도시한 반도체 기판의 일부 단면도이다.

<29> 도2를 참조하여, 콘택 플러그(180a)가 절연막(120a)을 관통하여 반도체 기판(100)의 활성 영역에 전기적으로 접속한다. 상기 절연막(120a)은 상기 콘택 플러그(180a)를 감싼다. 도면에서는 상기 콘택 플러그(180a)의 높이가 상기 절연막(120a)의 높이보다 더 낮지만, 같거나 또는 더 높을 수 있다. 상기 콘택 플러그(180a)와 상기 절연막(120a) 사이에 절연막 스페이서(160a)가 개재한다. 상기 절연막 스페이서(160a)는 상기 절연막(120a)에 대해서 식각 선택비를 갖는 물질일 수 있다. 예컨대, 상기 절연막(120a)은 실리콘 산화막이고 상기 절연막 스페이서(160a)는 실리콘 질화막이다.

<30> 제1지지막(160b)이 상기 절연막 스페이서(160a)에서 연장하여 상기 절연막(120a) 및 콘택 플러그(180a) 상부 표면보다 더 높이 돌출 한다. 상기 제1지지막(160b)은 상기 절연막 스페이서(160a)와 일체를 이룰 수 있다. 즉, 상기 제1지지막(160b) 및 절연막 스페이서(160a)는 동일한 막질일 수 있다. 상기 제1지지막(160b)의 돌출은 증가된 표면적을 제공한다.

<31> 제2지지막(200b)이 노출된 상기 제1지지막(160b)의 내외벽 상에 배치된다. 상기 제1지지막(160b) 및 제2지지막(200b)이 함께 하부 전극을 지지하는 지지구조를 형성한다.

<32> 하부 전극(280a)이 상기 콘택 플러그(180a), 상기 지지막들(160b, 200b) 및 상기 콘택 플러그(180a) 주위의 절연막(120a) 일부에 접촉하여 서있다. 따라서, 상기 하부 전극(280a)의 바닥부는 하부 구조들, 즉, 상기 콘택 플러그(180a), 상기 지지막들(160b, 200b) 및 상기 절연막(120a)이 형성하는 윤곽에 대응하는 형상을 나타낸다.

<33> 구체적으로, 상기 하부 전극(280a)은 측벽부(280as)와 상기 측벽부에서 연속하며 하부 구조들에 접하는 상기 바닥부로 구성된다. 상기 하부 전극(280a)의 바닥부는 하부 구조들에 의해 굴곡을 나타낸다. 즉, 상기 하부 전극(280a)의 바닥부는, 상기 절연막(120a), 콘택 플러그(180a) 및 지지막들(160b, 200b)의 상부에 배치된 수평 부분들(280ah) 및 상기 지지막들(160b, 200b)의 측벽들에 배치되어 상기 수평 부분들에 연결되는 수직 부분들(280av)로 이루어진다. 결국, 통상적인 접촉 구조에 비해서, 수직 부분들(280av)에 의해 결정되는 면적만큼 하부 전극 및 그에 접촉하는 하부 막질의 접촉 면적이 증가하게 된다.

<34> 상기 절연막(120a) 상에 식각저지막(200a)이 배치된다. 상기 식각저지막(200a)은 상기 제2지지막(200b)과 동일한 물질일 수 있으며, 실질적으로 동일한 두께를 갖는다.

<35> 이와 같은 하부 전극의 콘택 구조에 따르면, 하부 전극 및 그 하부 막질들 사이의 접촉면이 증가하게 되고 이에 따라, 하부 전극 및 그 하부 막질들 사이의 결합력도 증가하게 된다. 따라서 하부 전극이 하부 막질들에 의해 안정적으로 지지된다.

<36> 다음 도3을 참조하여, 본 발명의 다른 실시예에 따른 하부 전극 구조, 즉, 하부 막질에 대한 하부 전극의 콘택 구조를 설명한다. 본 실시예에 따른 콘택 구조는 앞서 도2를 참조하여 설명한 콘택 구조에서 절연막 스페이서가 없는 것을 제외하고는 동일하다.

이 경우, 제1지지막(160b)이 실리콘 질화막뿐 아니라 도전막, 예컨대, 폴리 실리콘일 수 있다.

<37> 개략적으로 설명을 하면, 절연막(120a) 내에 콘택 플러그(180a)가 배치되고, 반도체 기판(100)의 활성 영역에 전기적으로 접속된다. 제1지지막(160b)이 상기 콘택 플러그(180a)의 테두리를 따라 연장하여 상기 절연막(120a) 및 콘택 플러그(180a)보다 더 높이 돌출 한다. 상기 제1지지막(160b)의 내외벽 상에 제2지지막(200b)이 배치된다. 상기 절연막(120a), 콘택 플러그(180a) 및 지지막들(160b, 200b) 상에 하부 전극(280a)이 배치된다.

<38> 이제 상기와 같은 하부 전극의 콘택 구조를 형성하는 방법에 대해서 설명을 한다. 도4a 내지 도4k는 도2를 참조하여 설명한 하부 전극 콘택 구조를 형성 하는 방법을 설명하기 위해 주요 공정 단계에서의 반도체 기판의 일부 단면도들이다.

<39> 본 발명은 하부 전극 특히 하부 전극의 콘택 구조에 대한 것이기 때문에, 반도체 제조 공정에서 통상적으로 진행되는 소자 분리 공정, MOSFET 공정, 비트 라인 공정 등에 대하여는 설명을 생략한다.

<40> 먼저, 도4a를 참조하여, 반도체 기판(100) 상에 절연막(120)을 형성한다. 상기 절연막(120)은 예컨대, 실리콘 산화막으로 형성 할 수 있다. 상기 절연막(120)을 패터닝하여 상기 반도체 기판(100)의 활성 영역(도시하지 않음)을 노출시키는 콘택홀(140)을 형성한다. 이에 따라 상기 콘택홀(140)은 활성 영역에 의해 한정되는 바닥부와 상기 절연막(120)에 의해 한정되는 측벽으로 구성될 것이다.

<41> 다음, 도4b를 참조하여, 상기 콘택홀(140)의 측벽 및 바닥 그리고 상기 절연막(120) 상부 표면 상에 상기 절연막(120)에 대해서 식각 선택비를 갖는 물질 예컨대, 실리콘 질화막(160)을 형성한다. 이때, 상기 실리콘 질화막(160)은 상기 콘택홀(140)의 측벽 및 바닥 그리고 상기 절연막(120) 상부 표면 상에 실질적으로 균일한 두께로 형성된다.

<42> 다음, 도4c를 참조하여, 상기 실리콘 질화막(160)이 형성된 결과물에 대하여 에치백 공정을 실시한다. 이에 따라, 상기 실리콘 질화막(160)은 상기 콘택홀(140)의 바닥 및 상기 절연막(120) 상부 표면으로부터 제거되고 상기 콘택홀(140)의 측벽에만 잔류하게 된다. 이에 따라 상기 콘택홀(140)의 측벽에 잔류하는 절연막 스페이서(160a)가 형성된다.

<43> 다음, 도4d를 참조하여, 상기 절연막 스페이서(160a)가 형성된 결과물 상에 플러그용 도전물질(180)을 형성 하여 상기 콘택홀(140)을 완전히 채운다. 상기 도전물질(180)은 상기 절연막(120) 및 상기 절연막 스페이서(160a)에 대하여 식각선택비를 갖는 물질이다.

<44> 다음, 도4e를 참조하여, 상기 도전물질(180)을 식각 하여 상기 도전물질(180)이 상기 콘택홀(140)을 일부만 채우는 함몰 콘택 플러그(180a)를 형성한다. 즉, 형성된 상기 콘택 플러그(180a)의 상부 표면 높이가 상기 절연막(120) 보다 더 낮게되고 이에 따라, 상기 콘택홀(140)의 상부(140a)가 다시 비워지게 된다. 상기 함몰 콘택 플러그(180a) 상부 표면을 기준으로 상기 절연막 스페이서(160a)는 두 부분으로 나누어지며, 윗 부분(160b), 즉 상기 콘택홀 상부(140a) 측벽에 배치된 절연막 스페이서(160b)가 후술할 제1

지지막이 된다. 이하에서는 상기 콘택홀 상부(140a) 측벽에 배치된 절연막 스페이서(160b)를 제1지지막이라 한다.

<45> 다음, 도4f를 참조하여, 상기 절연막(120)을 식각 한다. 이에 따라 제1지지막(160b)의 내외벽이 노출된다. 상기 제1지지막(160b)은 상기 콘택 플러그(180a) 및 상기 식각된 절연막(120a) 상부 표면으로부터 윗쪽으로 돌출 한다. 여기서, 실시예에 따라서, 상기 절연막(120a)의 상부 표면이 상기 콘택 플러그(180a)의 상부 표면과 동일한 높이를 가지거나 더 낮거나 또는 더 높을 수 있다. 이와 같은 변형은 당업자에 있어서 자명한 것이다.

<46> 다음 도4g를 참조하여, 상기 절연막(120a), 상기 콘택 플러그(180a) 그리고 상기 제1지지막(160b) 상에 식각저지막(200)을 형성한다. 상기 식각저지막(200)은 후속 희생 절연막 패터닝 공정에서 식각저지층으로 작용한다. 또한 상기 식가저지막(200) 일부는 상기 제1지지막(160b)과 더불어 하부 전극을 지지하는 작용을 한다. 이에 대해서는 후술 할 것이다.

<47> 다음 도4h를 참조하여, 상기 식각저지막(200) 상에 하부 전극의 높이에 상당하는 희생 절연막(220)을 형성한다. 다음 상기 희생 절연막(220) 상에 포토레지스트 패턴(240a)을 형성한다. 상기 포토레지스트 패턴(240a)은 개구부(260a)를 가진다. 상기 개구부(260a)는 하부 전극을 한정한다.

<48> 다음 도4i를 참조하여, 상기 포토레지스트 패턴(240a)을 식각 마스크로 하여 상기 포토레지스트 패턴(240a)의 개구부(260a)에 의해 노출된 상기 희생 절연막(220)을 식각 한다. 이때, 상기 식각저지막(200)이 식각저지층으로 작용한다. 이에 따라 하부 전극을 한정하는 트렌치(260b)가 상기 희생 절연막(220a)에 의해 형성된다. 상기 트렌치(260b)

는 상기 포토레지스트 패턴(240a)에 의해 한정된 개구부(260a)에 대응한다. 상기 포토레지스트 패턴(240a)을 제거한다.

<49> 계속해서, 상기 트렌치(260b)에 의해 노출된 식각저지막(200)을 에치백한다. 이에 따라, 상기 콘택 플러그(180a) 상부, 상기 절연막(120a) 상부 및 상기 제1지지막(160b)의 상부가 노출되고, 상기 제1지지막(160b)의 내외벽에만 상기 식각저지막이 잔류하여 제2지지막(200b)을 구성한다.

<50> 다음, 도4j를 참조하여, 상기 희생 절연막(220a), 노출된 절연막(120a), 콘택 플러그(180a) 및 지지막들(200b, 160b)에 의해 형성되는 윤곽을 따라 균일한 두께를 갖는 하부 전극용 도전막(280)을 형성한다. 이어서 상기 트렌치(260)를 완전히 채우도록 상기 하부 전극용 도전막(280) 상에 보호 절연막(300)을 형성한다.

<51> 다음, 도4k를 참조하여, 상기 희생 절연막(220a)의 상부 표면이 드러날 때까지 상기 보호 절연막(300) 및 도전막(280)을 평탄화 식각한다. 이에 따라, 인접한 하부전극과 전기적으로 분리된 하부 전극(280a)이 형성된다.

<52> 계속해서 잔존하는 상기 보호 절연막(300a) 및 희생 절연막(220a)을 제거하여 도2에 도시된 바와 같이, 상기 하부 전극(280a)의 내외벽 및 바닥을 노출시킨다. 이때, 하부 전극(280a)이 그 하부 구조물에 의해서 튼튼하게 지지되기 때문에 상기 절연막들(300a, 220a) 제거 공정에서 쓰러지거나 기울어지지 않는다.

<53> 다음 상기 노출된 하부 전극(280a) 상에 유전막 및 상부 전극용 도전막을 형성 하여 커패시터를 완성한다.

<54> 후속 공정은 통상적인 공정으로서, 금속 배선 공정, 패시베이션 공정 등을 포함한다.

<55> 이상에서 설명한 방법에 따르면, 절연막 스페이서 일부 및 식각저지막 일부가 콘택 플러그 테두리를 따라 윗쪽 방향으로 돌출하여 하부 전극을 지지하는 지지막으로서 기능을 한다.

<56> 이상에서 설명한 방법에 따르면, 하부 전극 및 그 하부 막질들 사이의 접촉면이 증가하게 되고 이에 따라, 하부 전극 및 그 하부 막질들 사이의 결합력도 증가하게 된다. 따라서 하부 전극이 하부 막질들에 의해 안정적으로 지지된다. 또한 커패시터 유전막과 접촉하는 하부 전극의 면적이 증가하게 되어 결과적으로 정전용량(커패시턴스)이 증가하게 된다.

<57> 다음은 도5a 내지 도5i를 참조하여, 도3을 참조하여 설명한 하부 전극 콘택 구조를 형성 하는 방법을 설명한다. 도5a 내지 도5i는 주조 공정 단계에서의 공정 순서에 따른 반도체 기판의 단면도들이다.

<58> 바로 앞서 설명한 방법과 중복되는 내용에 대해서는 설명을 생략한다. 먼저 도5a를 참조하여, 반도체 기판(100) 상에 절연막(120)을 형성 하고, 상기 절연막(120)을 패터닝 하여 상기 반도체 기판(100)의 활성 영역을 노출시키는 콘택홀(140)을 형성한다.

<59> 다음, 도5b를 참조하여, 상기 콘택홀(140)을 완전히 채우도록 상기 절연막(120) 상에 플러그용 도전물질(180)을 형성한다.

<60> 다음, 도5c를 참조하여, 상기 도전물질(180)을 식각하여 상기 절연막(120) 상부 표면 보다 더 낮은 높이를 갖는 함몰 콘택 플러그(180a)를 형성한다. 즉, 상기 콘택홀

(140)의 상부(140a)의 도전물질은 제거되고 상기 함몰 콘택 플러그(180a)는 상기 콘택홀(140)의 하부만을 채운다.

<61> 다음, 도5d를 참조하여, 상기 콘택홀 상부(140a)의 측벽 및 바닥 그리고 상기 절연막(120) 상부 표면 상에 지지막(160)을 형성한다. 즉, 상기 지지막(160)은 상기 절연막(120)에 대해서 식각 선택비를 갖는 물질로 형성된다. 예컨대, 실리콘 질화막 또는 폴리실리콘 등으로 형성 할 수 있다. 상기 지지막(160)은 상기 절연막(120) 및 콘택 플러그(180a)에 의해 형성되는 윤곽을 따라 실질적으로 균일한 두께로 형성된다.

<62> 다음, 도5e를 참조하여, 상기 지지막(160)을 에치백하여 상기 콘택 플러그(180a) 상부 및 상기 절연막(120) 상부 표면 상에 형성된 지지막을 제거하고 상기 상부 콘택홀 상부(140a) 측벽에만 남겨 제1지지막(160b)을 형성한다.

<63> 다음, 도5f를 참조하여, 상기 절연막(120)을 에치백하여 소정 두께를 제거한다. 이에 따라 상기 제1지지막(160b)이 식각된 절연막(120a) 및 콘택 플러그(180a) 상부 표면으로부터 윗쪽으로 즉, 수직 방향으로 돌출 한다. 결국 하부 전극이 접촉하는 하부 막질의 표면은 상기 제1지지막(160b)으로 인해 굴곡 진다. 이는 접촉면의 증가로 이어지며 결국에는 하부 전극 및 하부 막질 사이의 접착력이 증가한다.

<64> 이후의 공정은 앞서 설명한 방법과 동일하다. 간략히 설명을 하면, 도5g를 참조하여, 상기 콘택 플러그(180a), 절연막(120a) 및 제1지지막(160b) 상에 식각저지막(200)을 형성한다. 계속해서 상기 식각저지막(200) 상에 희생 절연막(220) 및 포토레지스트 패턴(240a)을 형성한다.

<65> 다음, 도5h를 참조하여, 상기 식각 포토레지스트 패턴(240a)을 식각 마스크로 하여 상기 포토레지스트 패턴(240a)이 한정하는 개구부(260a)에 의해 노출된 희생 절연막(220)을 식각한다. 이에 따라, 하부 전극을 한정하는 트렌치(260b)가 형성된다. 이때, 상기 식각저지막(200)이 식각저지층으로 작용한다.

<66> 다음, 도5i를 참조하여, 노출된 상기 식각저지막(200)을 에치백한다. 이에 따라 상기 콘택 플러그(180a) 및 상기 절연막(120a) 상부 표면 상의 식각저지막은 제거되고 상기 1지지막(160b)의 내외벽만 잔류하여 제2지지막(200b)이 형성된다. 계속해서 상기 노출된 콘택 플러그(180a), 상기 지지막들(160b, 200b) 및 절연막(120a) 그리고, 상기 희생 절연막(220a) 상에 하부 전극용 도전막(280)을 형성한다. 이후의 공정은 앞서 도4j 및 도4k 를 참조하여 설명한 것과 동일하다.

<67> 이상에서 설명한 방법들에서, 하부 전극을 실린더형으로 형성하였으나, 속이 찬 실린더형으로 형성 할 수도 있다. 즉, 하부 전극을 한정하는 트렌치를 형성 한 후 상기 트렌치를 완전히 채우도록 하부 전극용 도전막을 형성 하고 이어서 희생 절연막을 제거 할 수도 있다. 이 경우, 보호 절연막은 필요치 않다.

<68> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

**【발명의 효과】**

<69> 이상에서 설명한 본 발명에 따르면, 콘택 플러그는 그 테두리를 따라서 돌출한 지지막을 구비하고 있다. 따라서 하부 전극이 상기 돌출된 지지막에 의해 물리적으로 강하게 지지된다.

<70> 또한 하부 전극의 면적이 증가하여 정전용량이 증가한다.

**【특허청구범위】****【청구항 1】**

절연막의 소정 부분을 관통하여 하부 표면이 반도체 기판의 활성 영역에 전기적으로 접속된 콘택 플러그;

상기 콘택 플러그 상부 표면 테두리 및 거기에 접하는 절연막에서 연장하여 상기 절연막 및 콘택 플러그보다 높이 돌출한 전극 지지막; 그리고,

상기 전극 지지막에 의해 노출된 콘택 플러그 상부 표면, 상기 전극 지지막 그리고 상기 전극 지지막 주위의 절연막에 접하여 소정 높이는 갖는 커패시터 하부 전극을 포함하는 커패시터 하부 전극의 접촉 구조.

**【청구항 2】**

제1항에 있어서,

상기 전극 지지막은,

상기 콘택 플러그 상부 표면 테두리를 따라서 연장하여 상기 절연막 상부 표면보다 더 높도록 돌출한 제1지지막;

상기 제1지지막의 내외벽을 감싸도록 상기 절연막 일부 및 콘택 플러그 상부 표면 일부 상에 배치된 제2지지막을 포함하는 커패시터 하부 전극의 접촉 구조.

**【청구항 3】**

제1항 또는 제2항에 있어서,

상기 콘택 플러그 외벽을 감싸는 절연막 스페이서를 더 포함하는 커패시터 하부 전극의 접촉 구조.

**【청구항 4】**

제1항 또는 제2항에 있어서,

상기 절연막 상에 배치되어 상기 하부 전극 외벽의 일부를 감싸는 식각저지막을 더 포함하는 커패시터 하부 전극의 접촉 구조.

**【청구항 5】**

제3항에 있어서,

상기 제1지지막은 상기 절연막 스페이서에 정렬되어 연장하는 커패시터 하부 전극의 접촉 구조.

**【청구항 6】**

제4항에 있어서,

상기 식각저지막의 두께는 상기 제2지지막의 두께와 실질적으로 동일한 커패시터 하부 전극의 접촉 구조.

**【청구항 7】**

제1항에 있어서,

상기 콘택 플러그의 높이가 상기 절연막의 높이보다 더 낮은 커패시터 하부 전극의 접촉 구조.

**【청구항 8】**

제1항에 있어서,

상기 콘택 플러그의 높이가 상기 절연막의 높이보다 더 높은 커패시터 하부 전극의 접촉 구조.

**【청구항 9】**

제5항에 있어서,

상기 제1지지막은 상기 스페이서 절연막과 동일한 막질인 커패시터 하부 전극의 접촉 구조.

**【청구항 10】**

제5항에 있어서,

상기 제1지지막은 폴리 실리콘을 포함하는 커패시터 하부 전극의 접촉 구조.

**【청구항 11】**

제5항에 있어서,

상기 제1지지막 및 상기 스페이서 절연막은 실리콘 질화막을 포함하는 하부 전극의 접촉 구조.

**【청구항 12】**

제5항에 있어서,

상기 제2지지막은 실리콘 질화막을 포함하는 하부 전극의 접촉 구조.

**【청구항 13】**

제6항에 있어서,

상기 식각저지막은 상기 제2지지막과 동일한 막질인 하부 전극의 접촉 구조.

**【청구항 14】**

제13항에 있어서,

상기 식각저지막 및 제2지지막은 실리콘 질화막을 포함하는 하부 전극의 접촉 구조

**【청구항 15】**

반도체 기판 상에 형성된 하부 절연막을 관통하여 상기 반도체 기판의 활성 영역을 노출시키는 콘택홀을 형성 하는 단계;

상기 콘택홀 측벽에 절연막 스페이서를 형성 하는 단계;

상기 콘택홀을 일부만 채우는 함몰 콘택 플러그를 형성 하는 단계;

상기 하부 절연막을 일부 제거하여 상기 측벽 스페이서 일부를 돌출 시키는 단계;

상기 함몰 콘택 플러그, 상기 돌출된 측벽 스페이서, 그리고 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 커패시터 하부 전극을 형성 하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

**【청구항 16】**

제15항에 있어서,

상기 함몰 콘택 플러그를 형성 하는 단계는,

상기 콘택홀을 완전히 채우도록 상기 하부 절연막 상에 도전물질을 형성 하는 단계;

상기 도전물질의 상부 표면이 상기 절연막 상부 표면 보다 낮아지도록, 상기 하부 절연막 및 측벽 스페이서에 대해서 상기 도전물질을 선택적으로 식각하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

### 【청구항 17】

제15항에 있어서,

상기 하부 전극을 형성 하는 단계는,

상기 함몰 콘택 플러그 상부 표면, 상기 돌출된 측벽 스페이서 표면, 그리고 상기 하부 절연막 표면 상에 식각저지막 및 상부 절연막을 차례로 형성 하는 단계;

상기 상부 절연막을 패터닝하여 상기 함몰 콘택 플러그, 돌출된 측벽 스페이서 및 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 정렬되는 개구부를 형성 하는 단계;

상기 개구부에 의해 노출된 식각저지막을 에치백하는 단계;

상기 개구부 바닥 및 측벽 그리고 상기 상부 절연막 상에 전극물질을 형성 하는 단계;

상기 개구부를 완전히 채우도록 상기 전극물질 상에 보호 절연막을 형성 하는 단계

;

상기 상부 절연막 상부가 노출될 때까지 상기 보호 절연막 및 도전물질을 평탄화 식각 하는 단계;

상기 보호 절연막 및 상기 상부 절연막을 제거하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

**【청구항 18】**

제17항에 있어서,

상기 측벽 스페이서 및 식각저지막은 실리콘 질화막으로 형성되는 하부 전극의 접촉 구조 형성 방법.

**【청구항 19】**

반도체 기판 상에 형성된 하부 절연막을 관통하여 상기 반도체 기판의 활성 영역을 노출시키는 콘택홀을 형성 하는 단계;

상기 콘택홀을 일부만 채우는 함몰 콘택 플러그를 형성 하는 단계;

나머지 콘택홀의 측벽에 측벽 스페이서를 형성 하는 단계;

상기 하부 절연막을 일부 제거하여 상기 측벽 스페이서를 돌출 시키는 단계;

상기 함몰 콘택 플러그, 상기 돌출 측벽 스페이서, 그리고 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 커패시터 하부 전극을 형성 하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

**【청구항 20】**

제19항에 있어서,

상기 함몰 콘택 플러그를 형성 하는 단계는,

상기 콘택홀을 완전히 채우도록 상기 하부 절연막 상에 도전물질을 형성 하는 단계

;

상기 도전물질의 상부 표면이 상기 절연막 상부 표면 보다 낮아지도록, 상기 하부 절연막에 대해서 상기 도전물질을 선택적으로 식각하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

### 【청구항 21】

제19항에 있어서,

상기 하부 전극을 형성 하는 단계는,

상기 함몰 콘택 플러그 상부 표면, 상기 돌출 측벽 스페이서 표면, 그리고 상기 하부 절연막 표면 상에 식각저지막 및 상부 절연막을 차례로 형성 하는 단계;

상기 상부 절연막을 패터닝하여 상기 함몰 콘택 플러그, 돌출 측벽 스페이서 및 상기 함몰 콘택 플러그 주위의 하부 절연막 상에 정렬되는 개구부를 형성 하는 단계;

상기 개구부에 의해 노출된 식각저지막을 에치백하는 단계;

상기 개구부 바닥 및 측벽 그리고 상기 상부 절연막 상에 전극물질을 형성 하는 단계;

상기 개구부를 완전히 채우도록 상기 전극물질 상에 보호 절연막을 형성 하는 단계;

상기 상부 절연막 상부가 노출될 때까지 상기 보호 절연막 및 도전물질을 평탄화 식각 하는 단계;

상기 보호 절연막 및 상기 상부 절연막을 제거하는 단계를 포함하는 하부 전극의 접촉 구조 형성 방법.

【청구항 22】

제21항에 있어서,

상기 측벽 스페이서 및 식각저지막은 실리콘 질화막으로 형성되는 하부 전극의 접촉 구조 형성 방법.

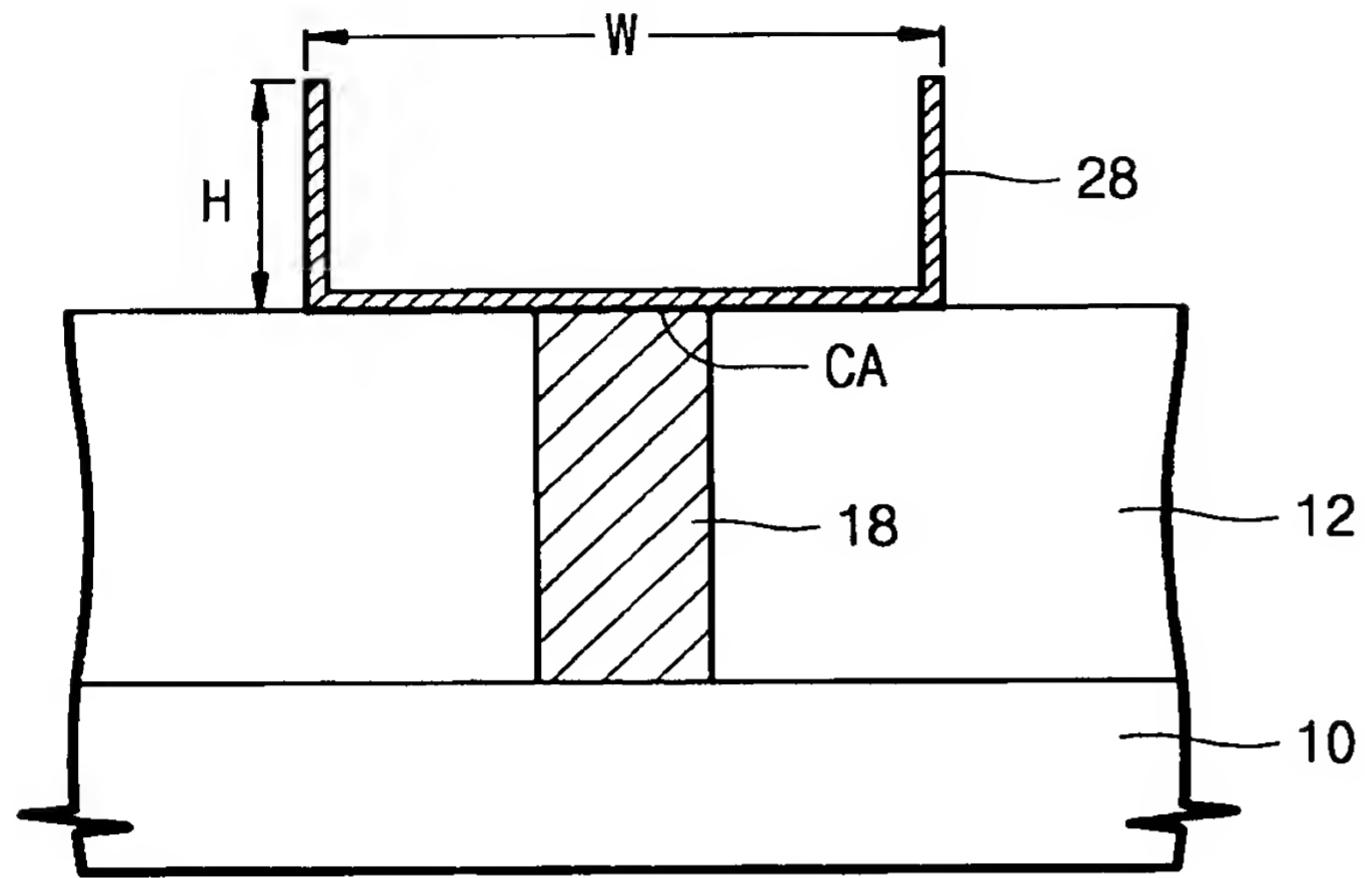
【청구항 23】

제21항에 있어서,

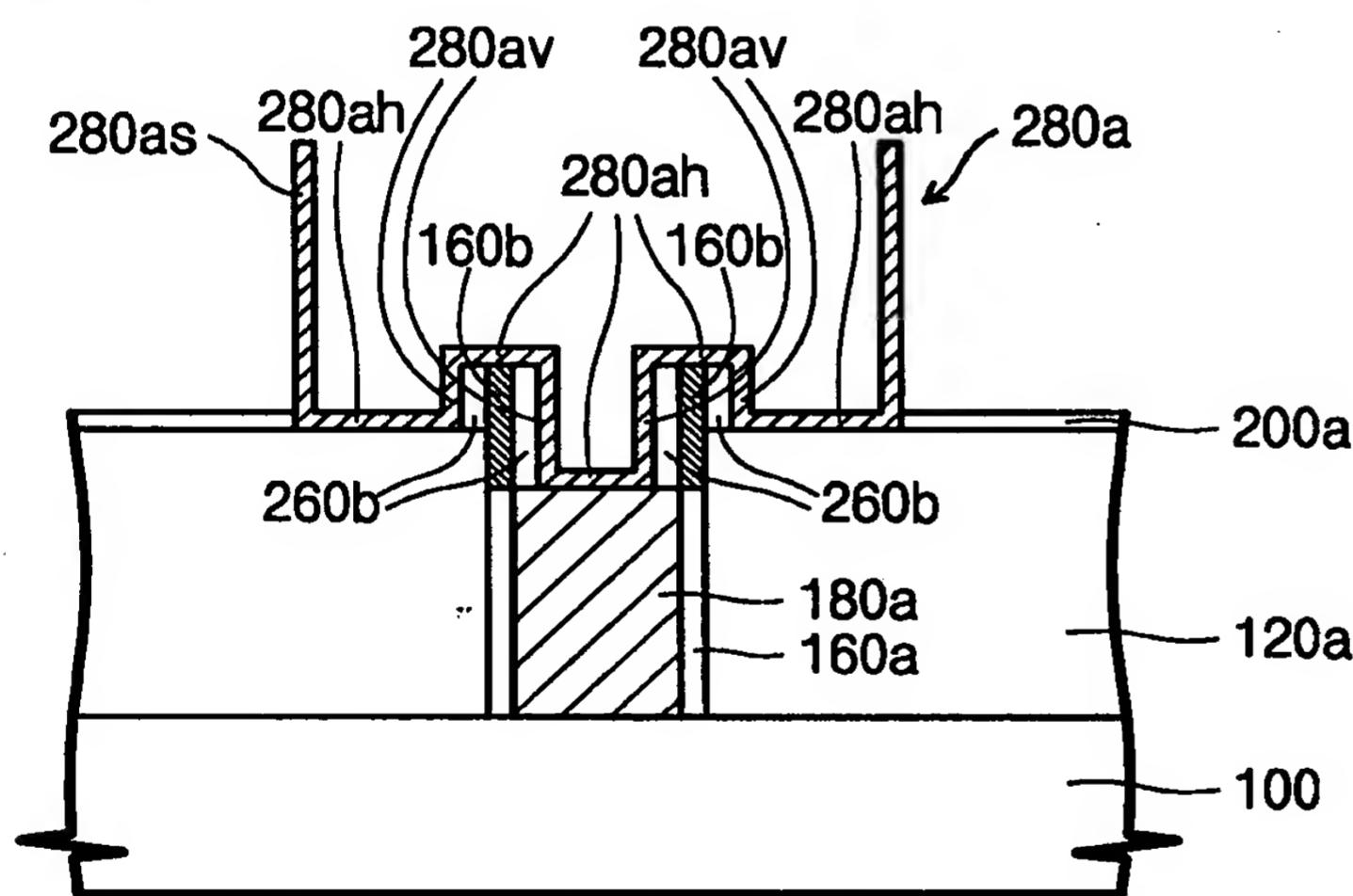
상기 측벽 스페이서는 폴리실리콘으로 형성되고 상기 식각저지막은 실리콘 질화막으로 형성되는 하부 전극의 접촉 구조 형성 방법.

## 【도면】

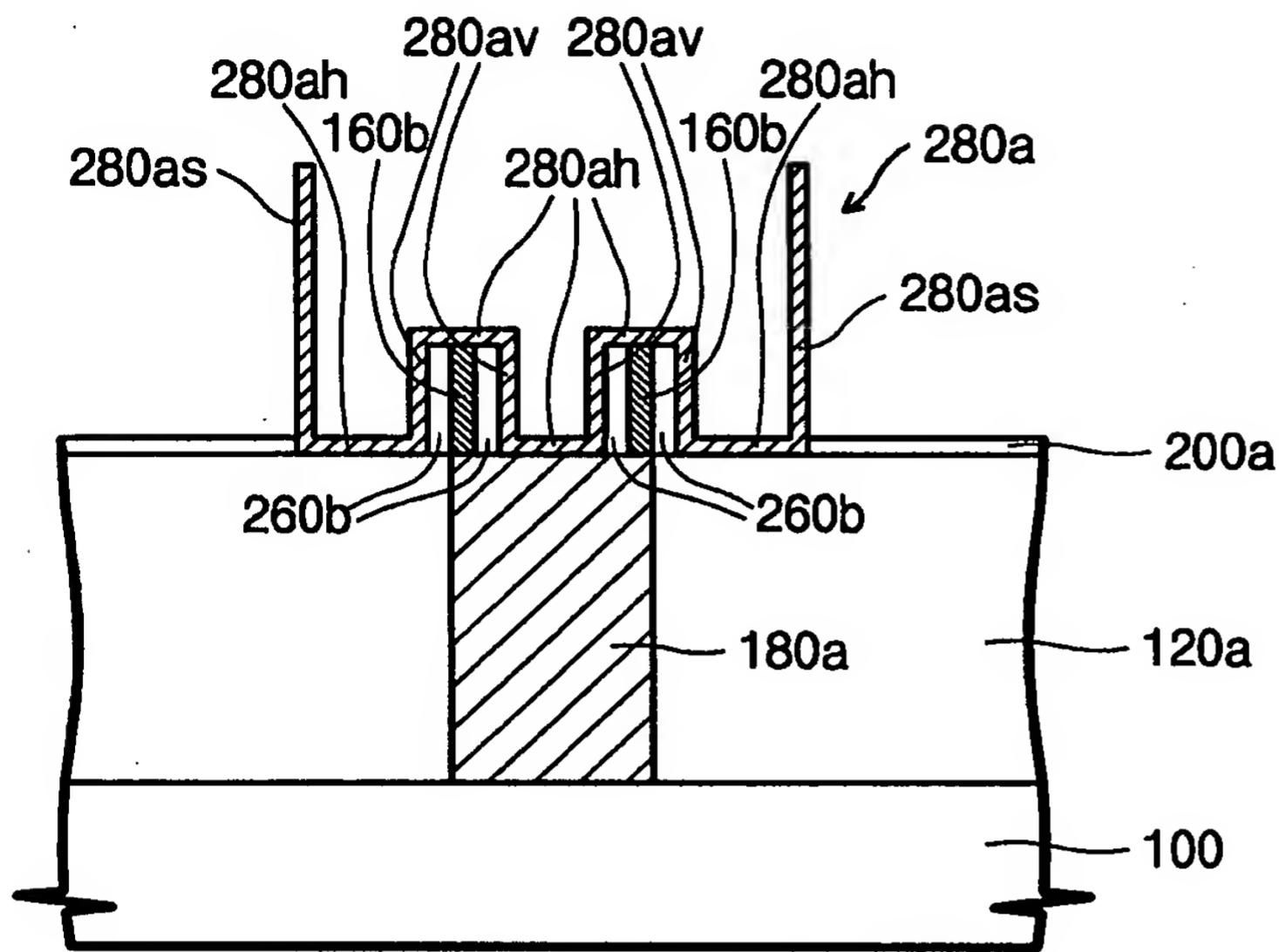
【도 1】  
(종래 기술)



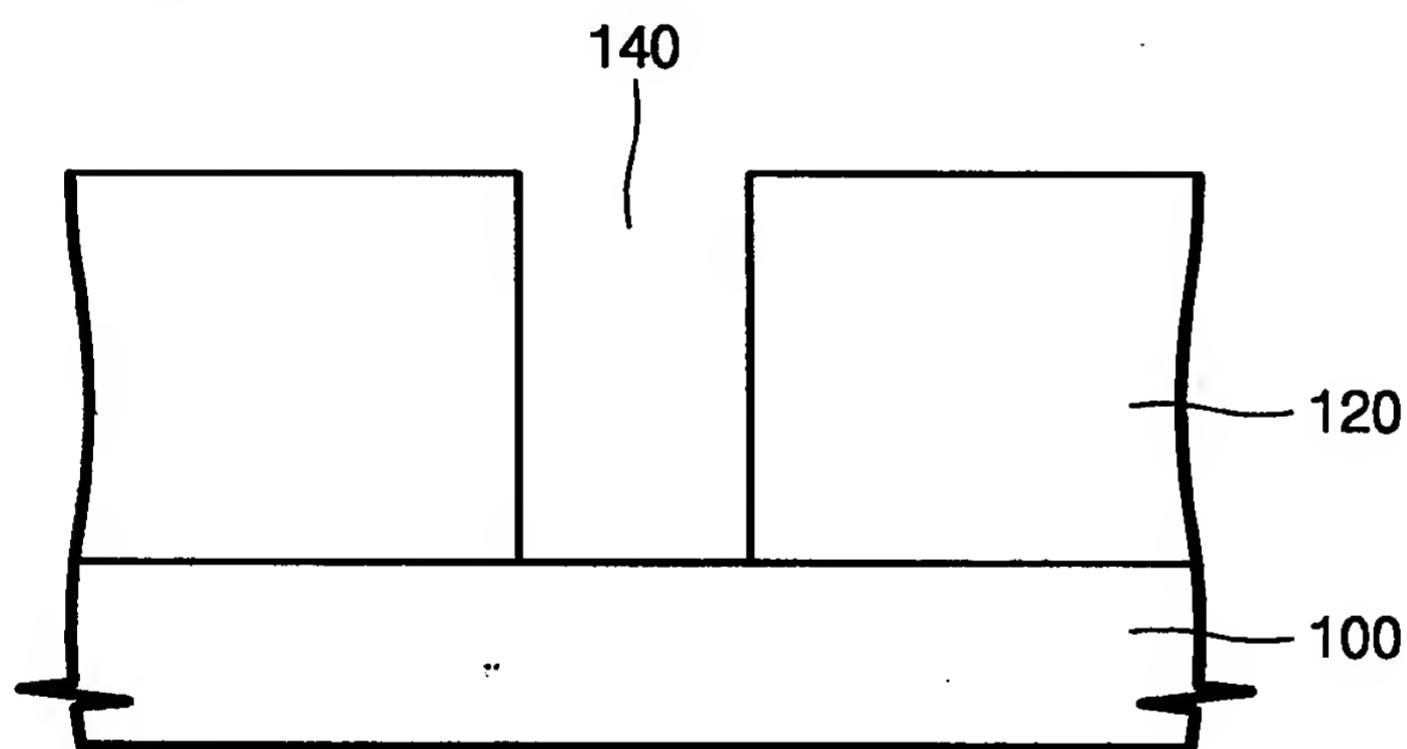
【도 2】



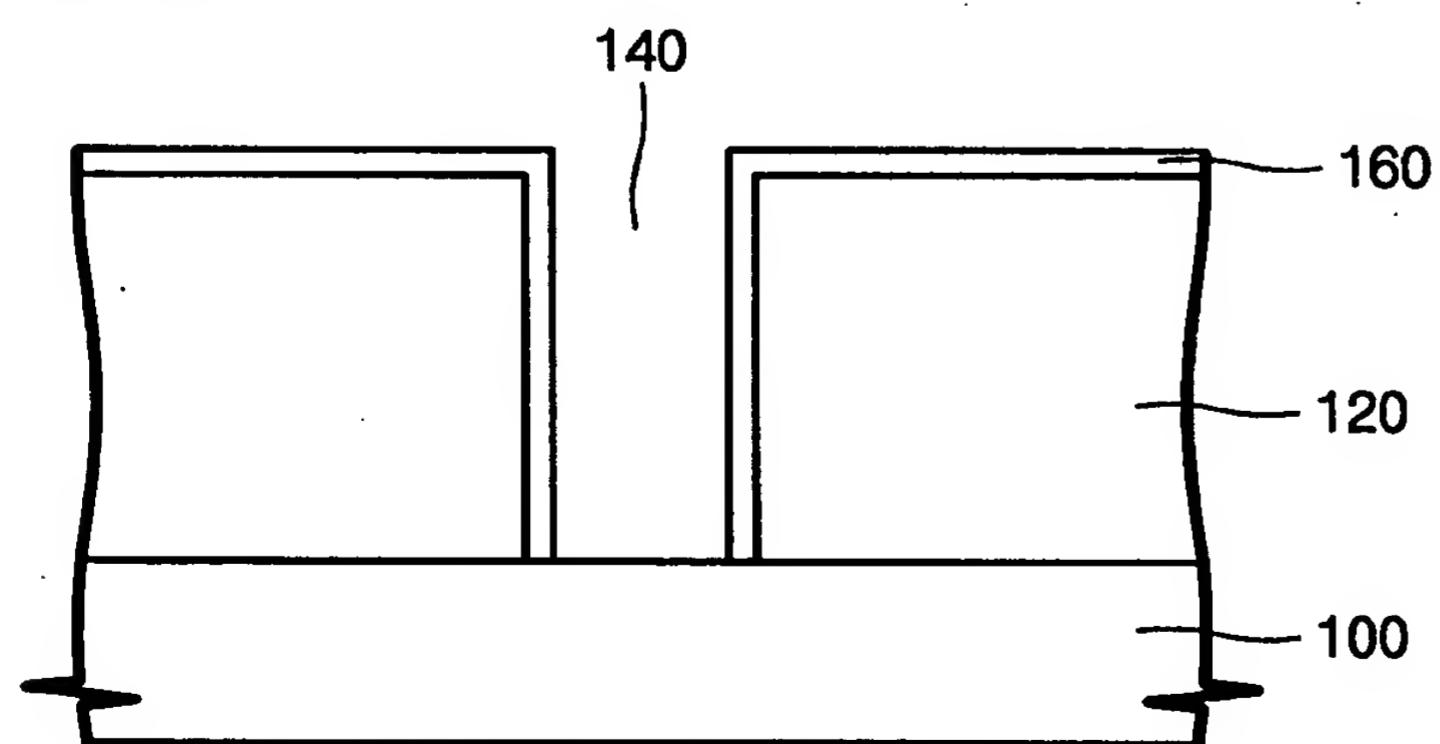
【도 3】



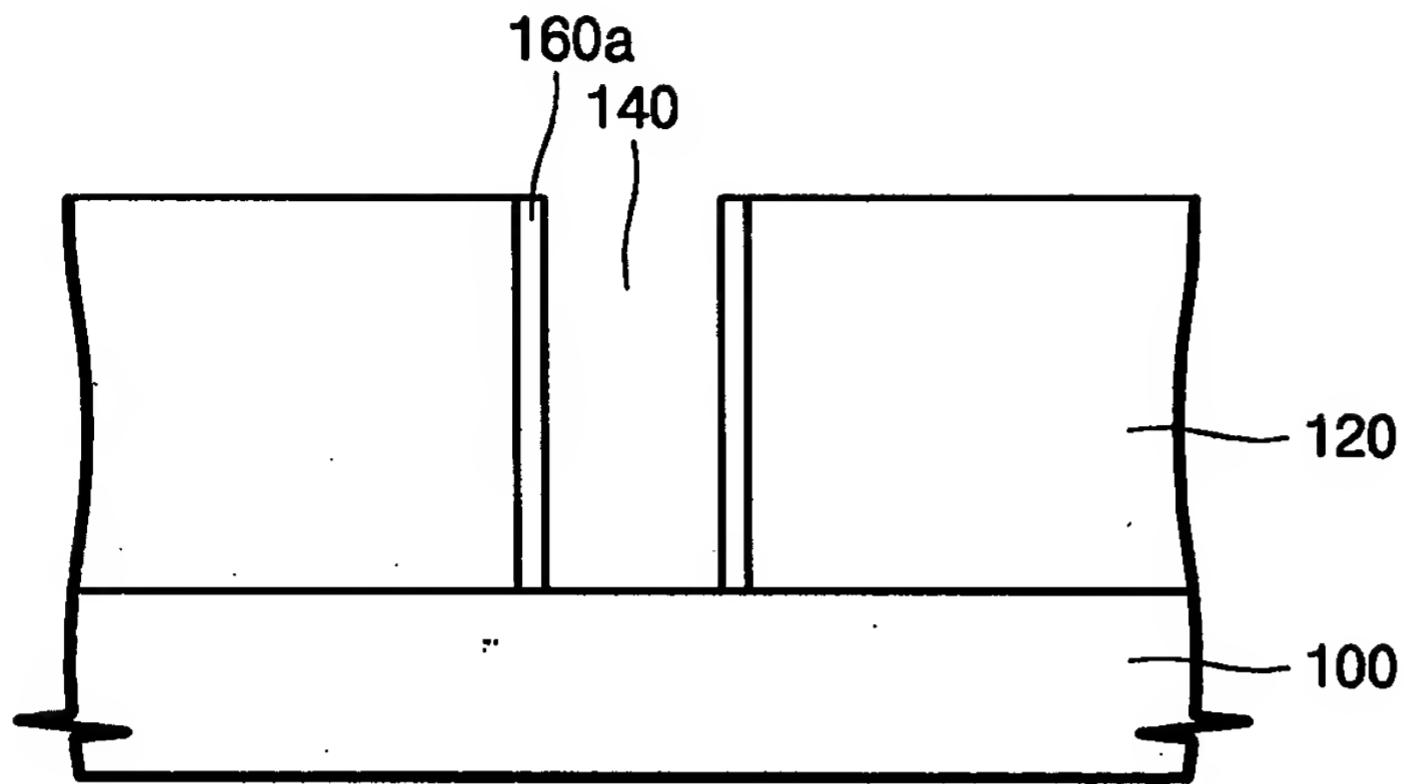
【도 4a】



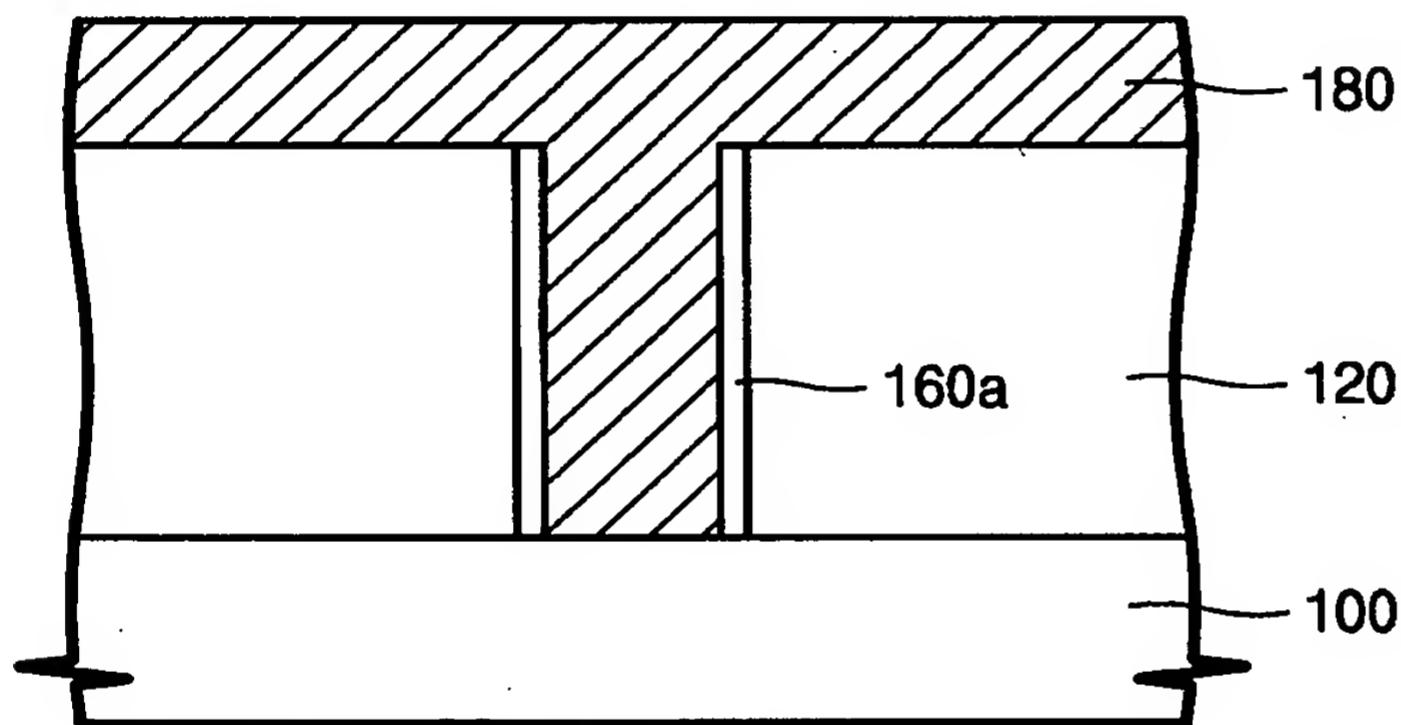
【도 4b】



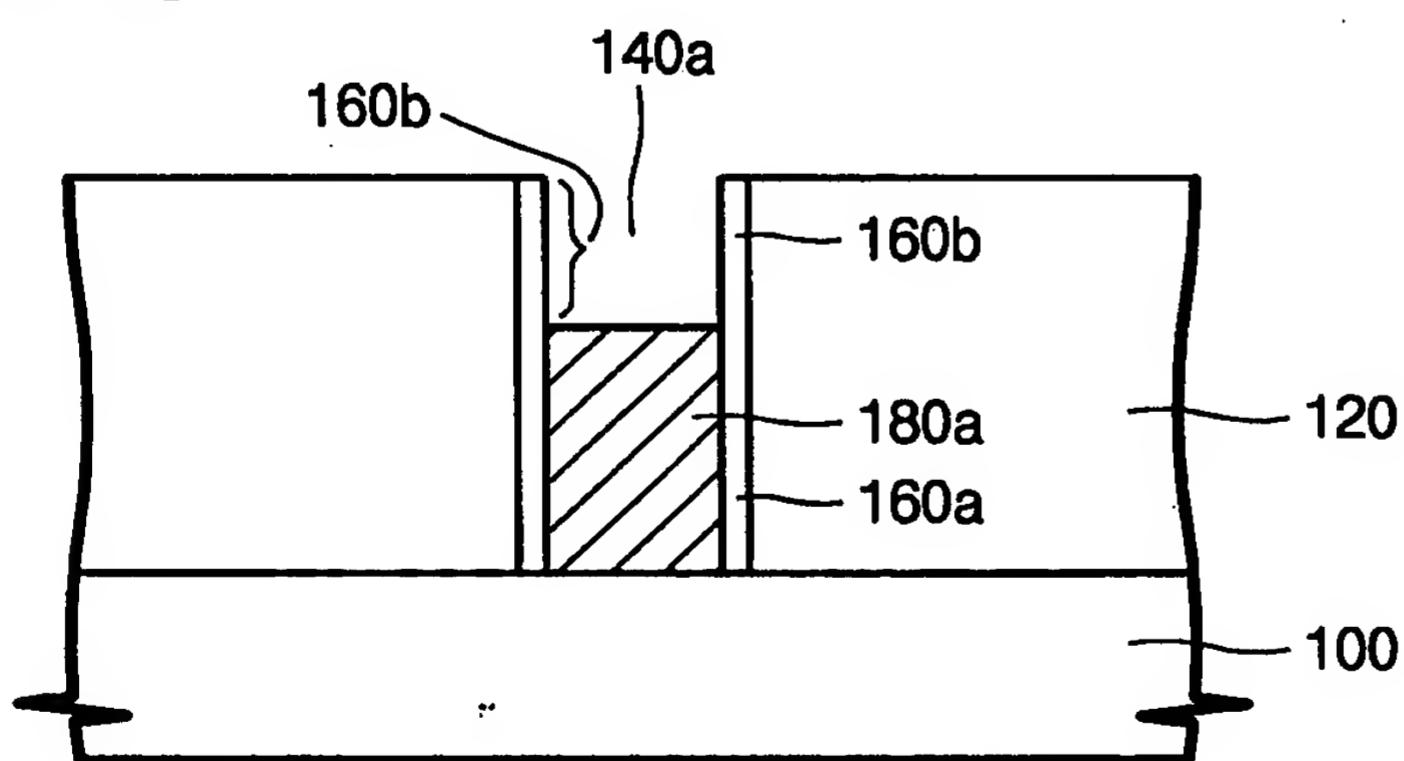
【도 4c】



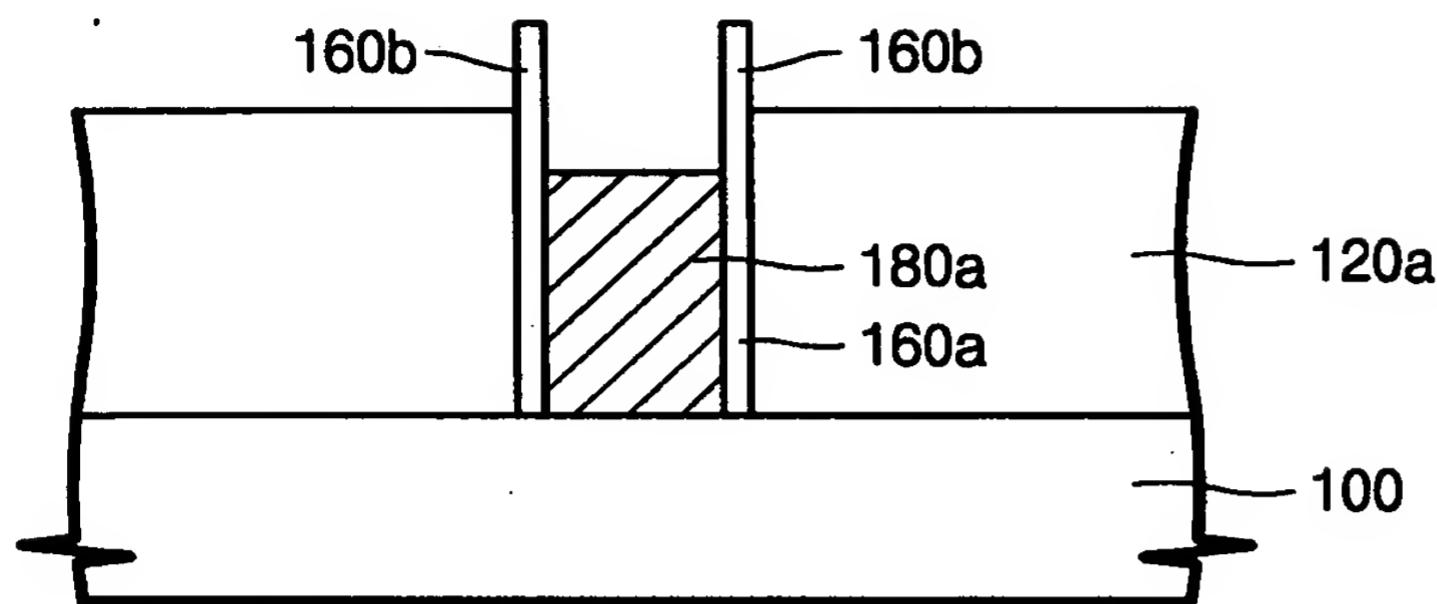
【도 4d】



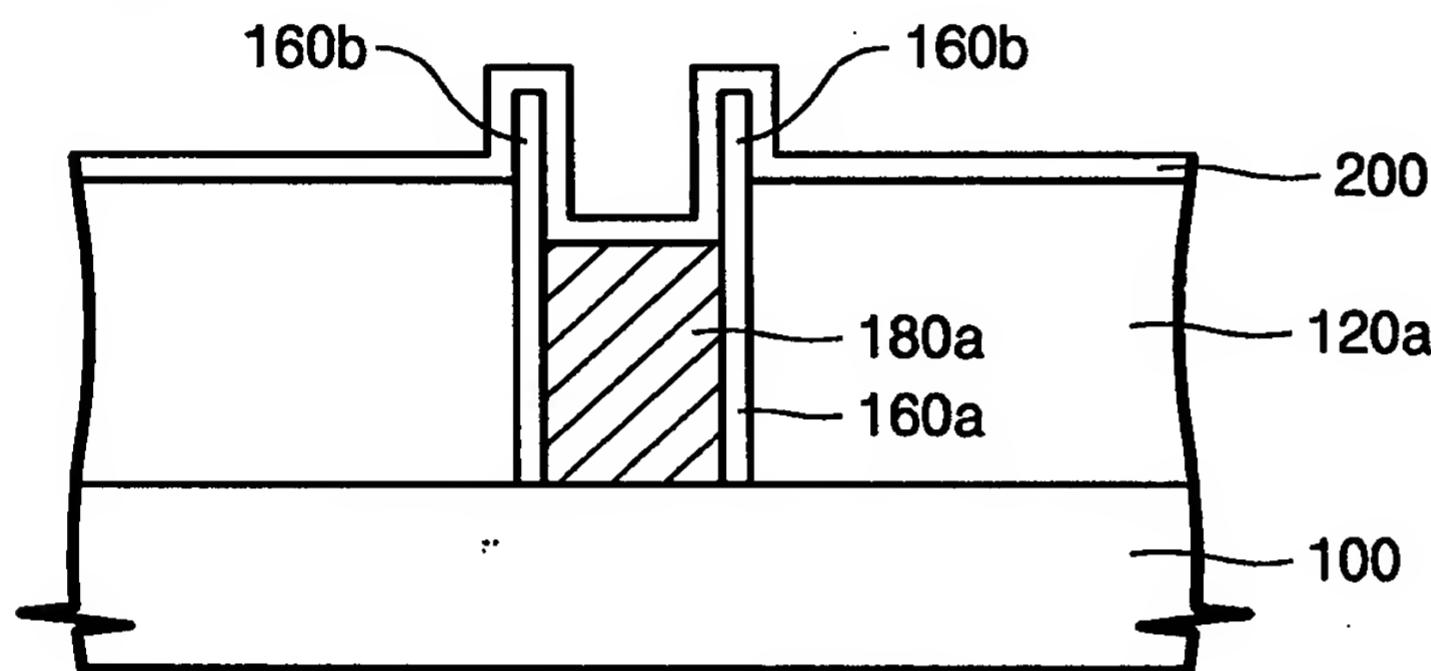
【도 4e】



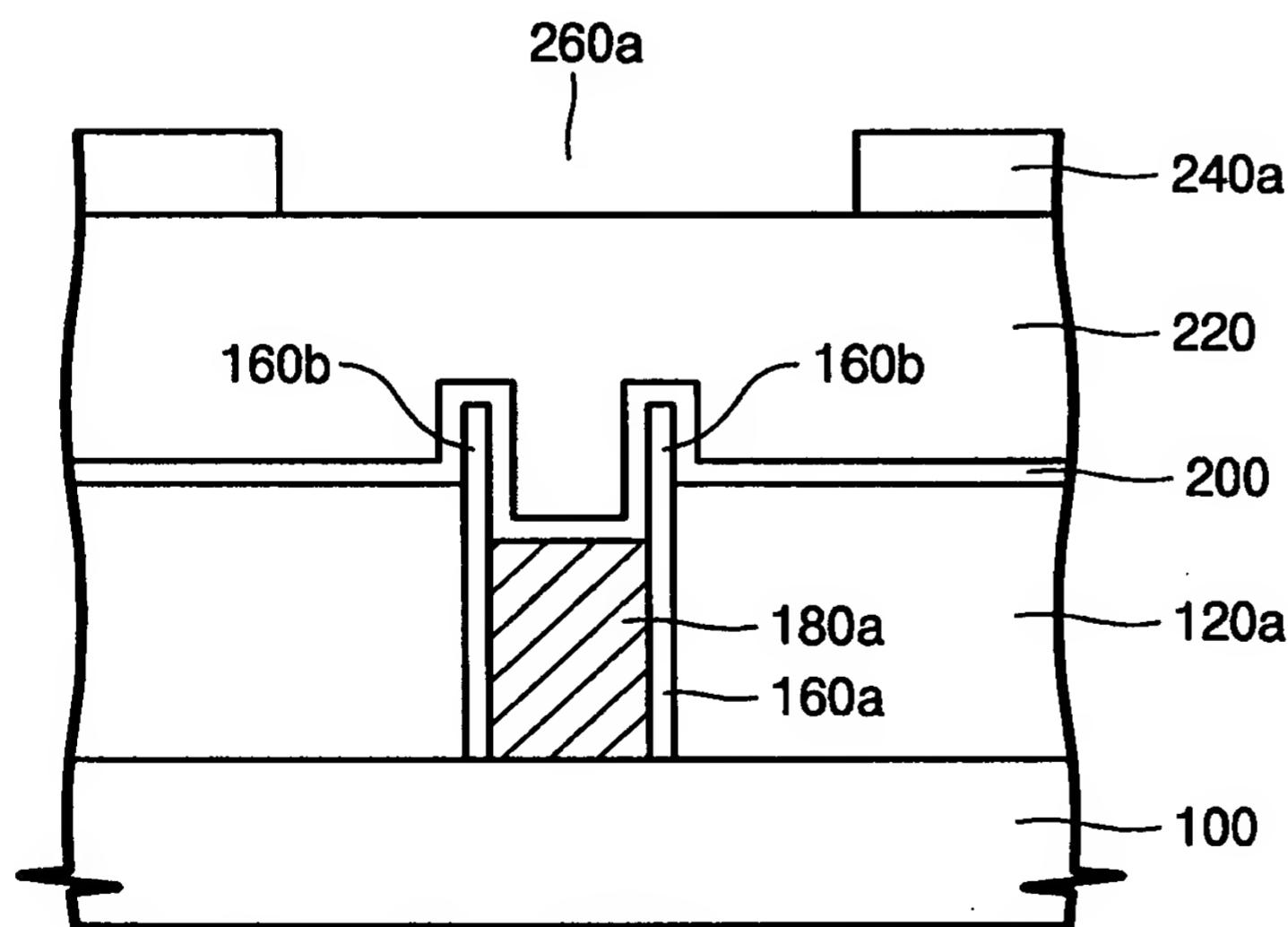
【도 4f】



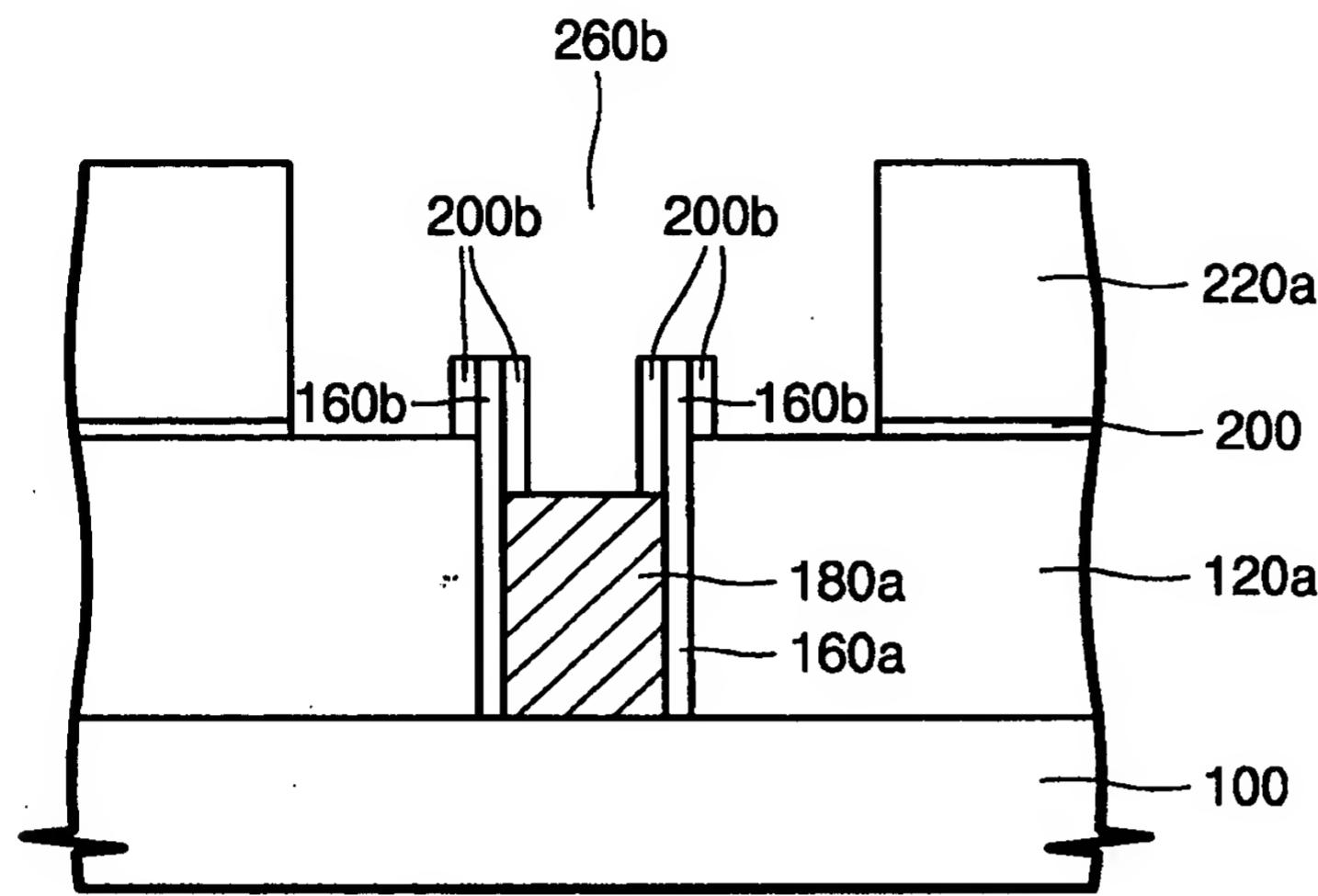
【도 4g】



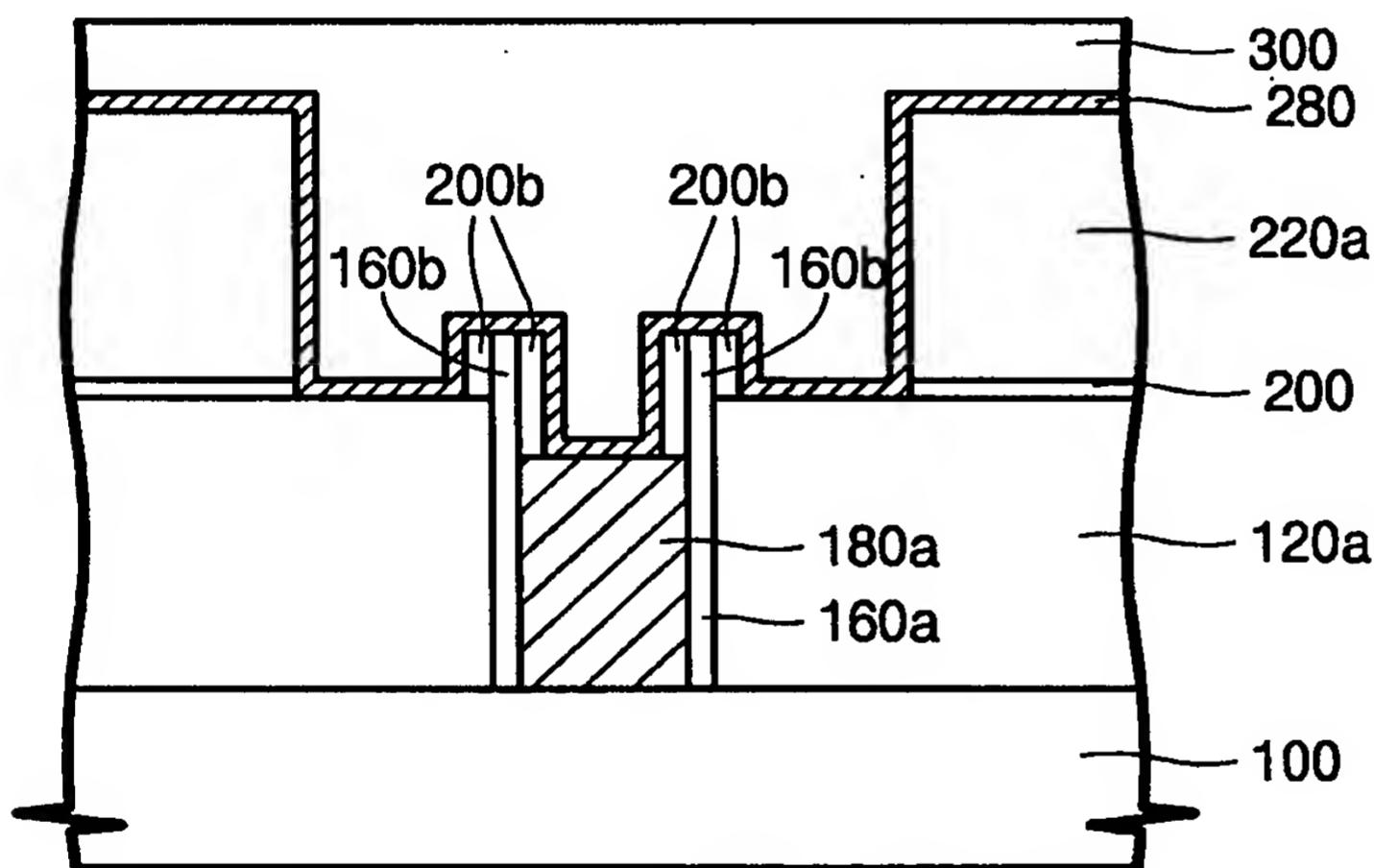
【도 4h】



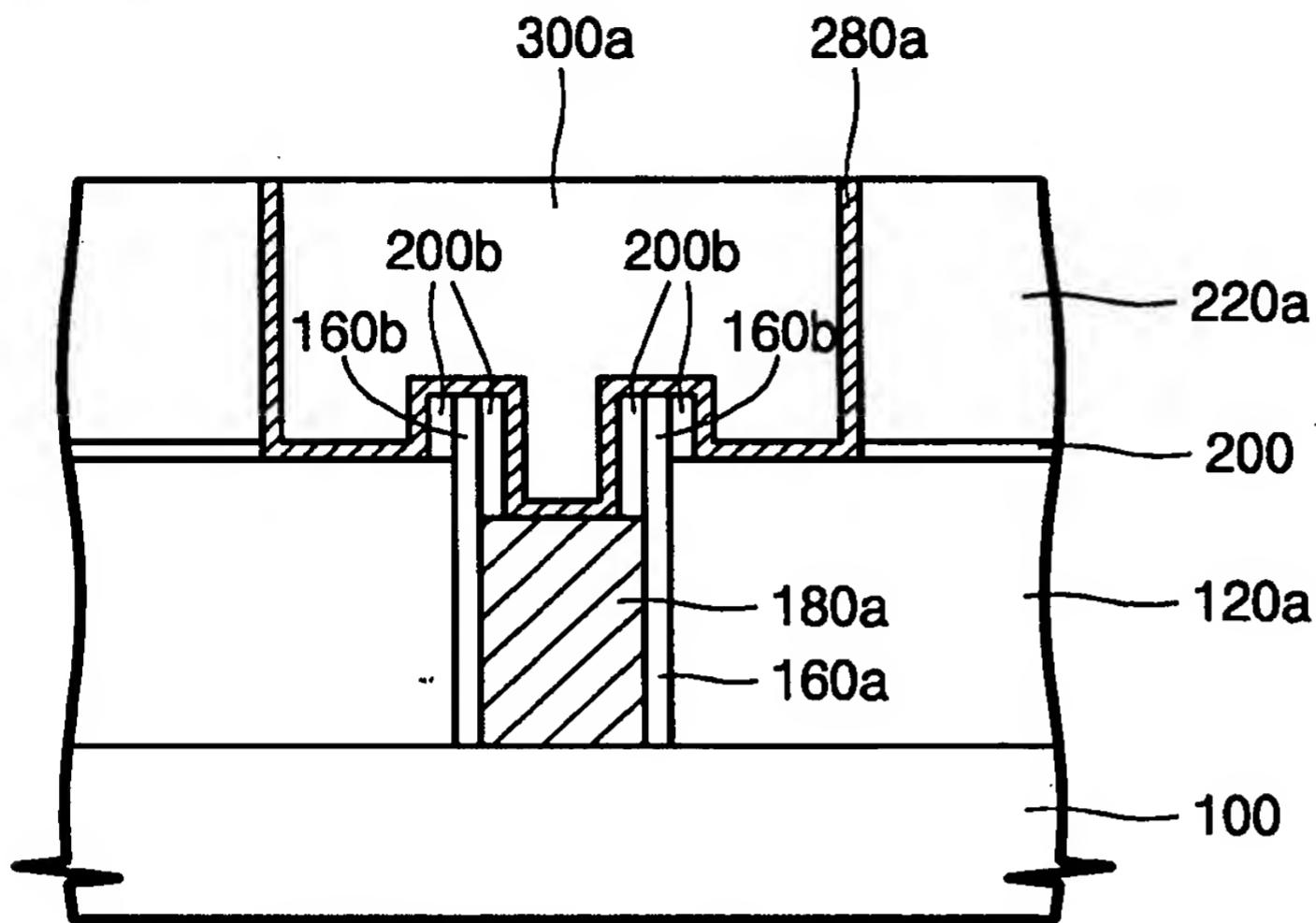
【도 4i】



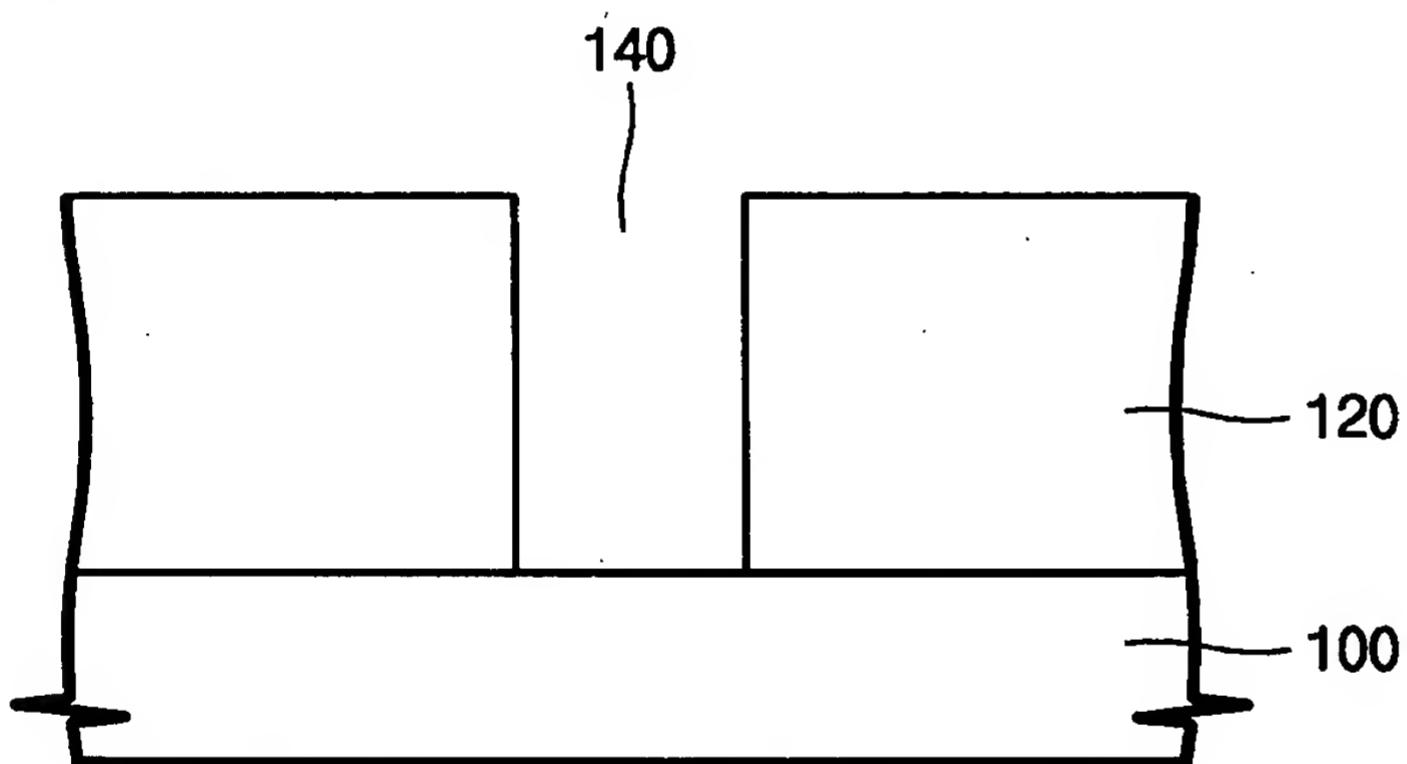
【도 4j】



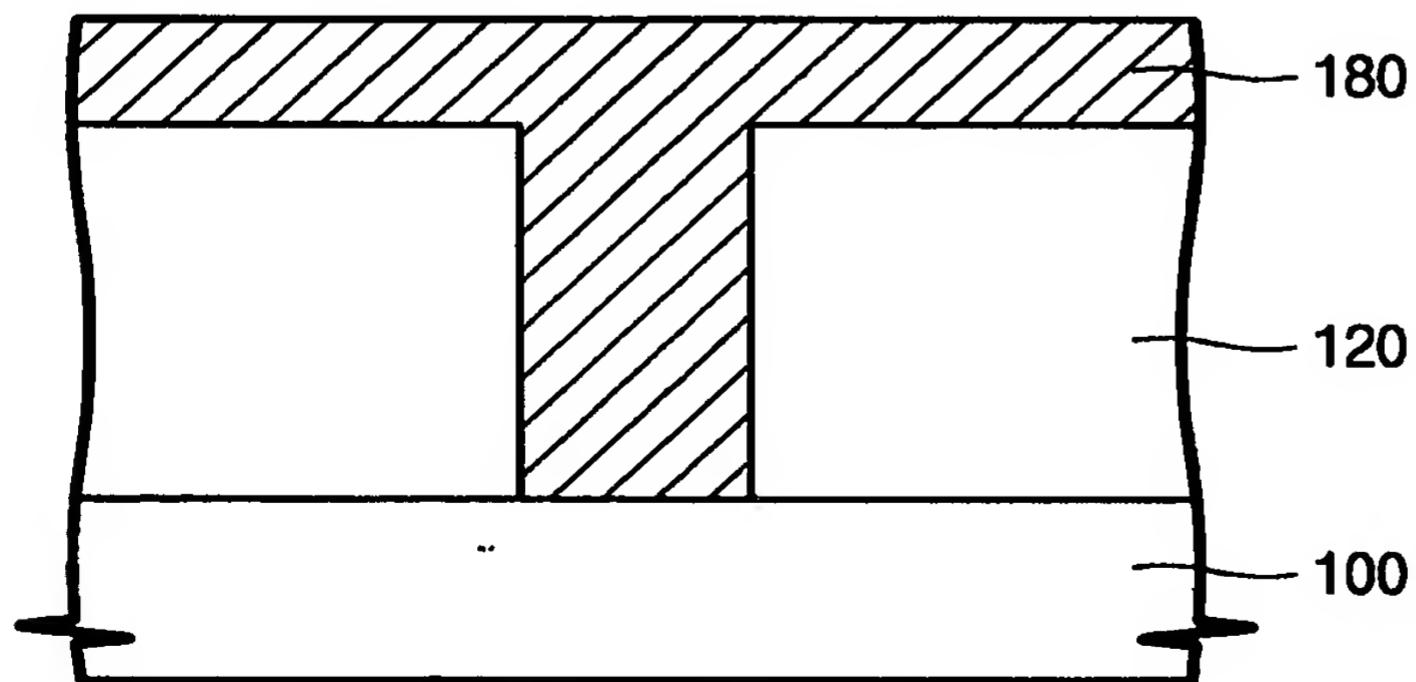
【도 4k】



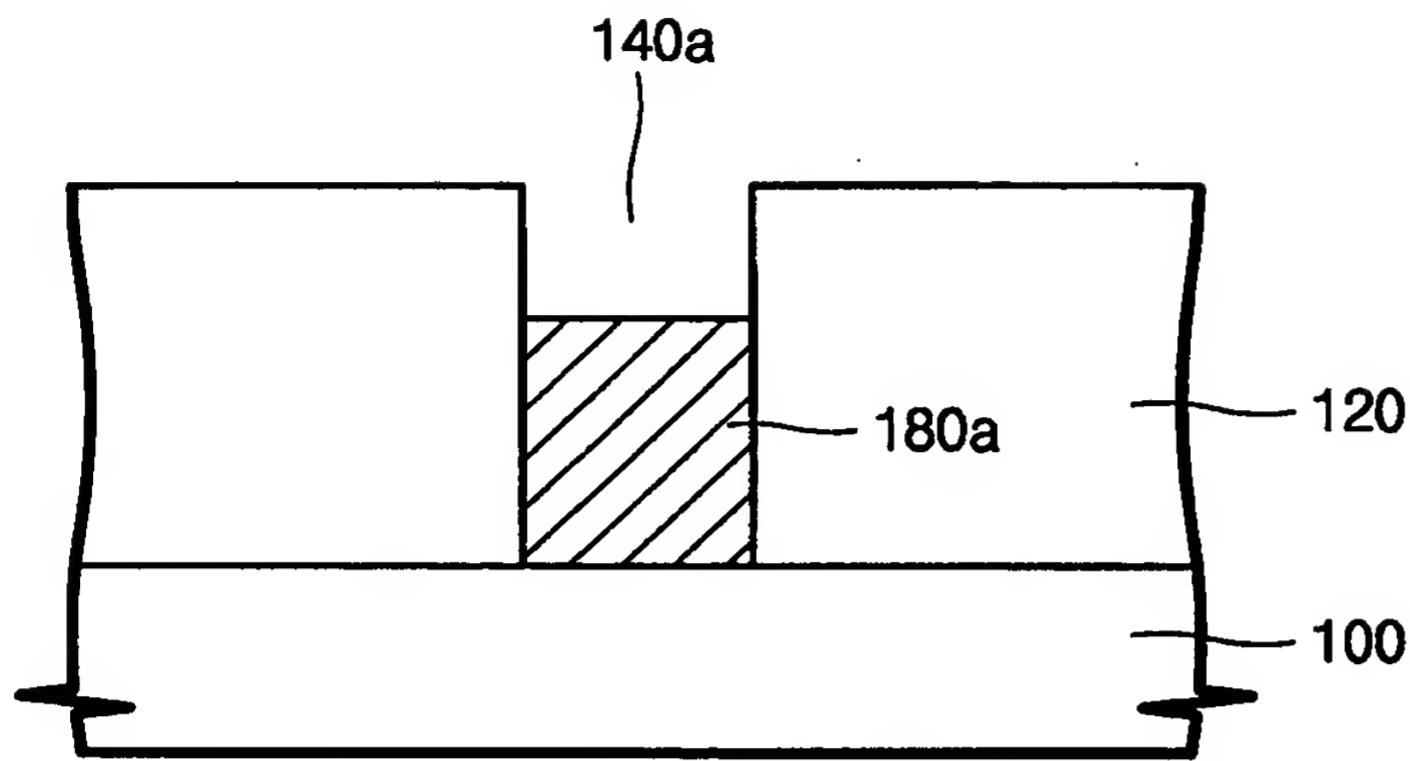
【도 5a】



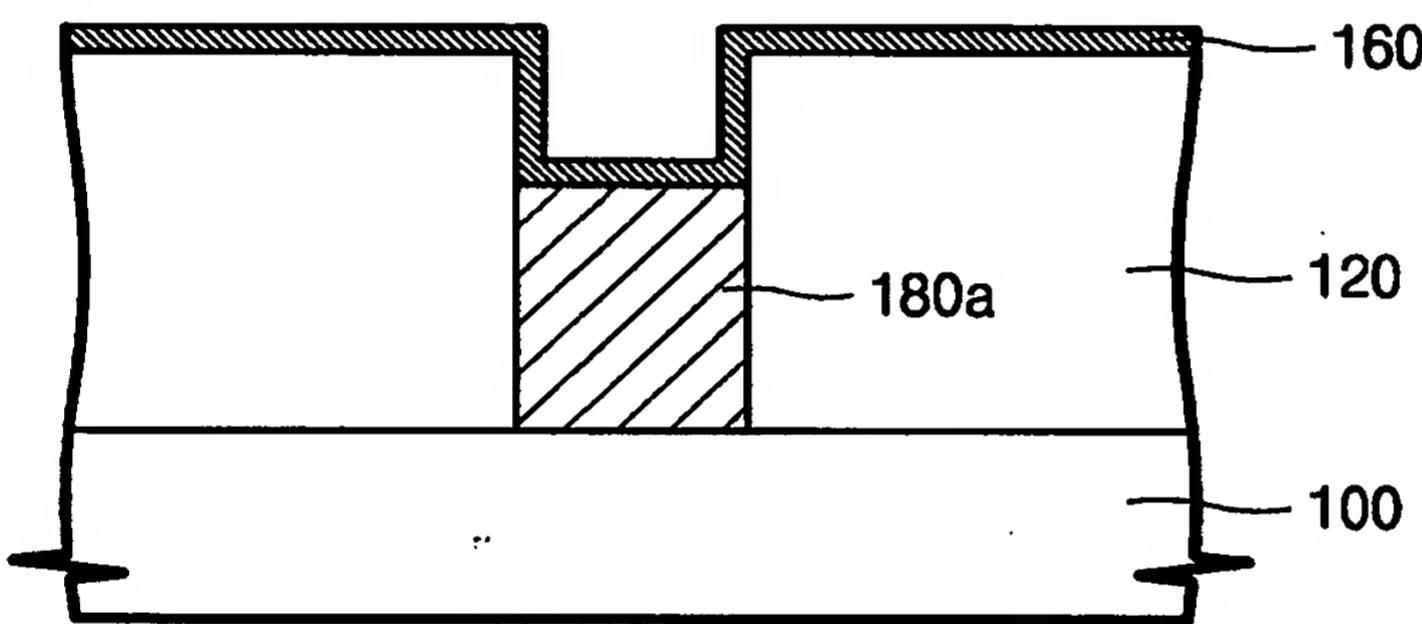
【도 5b】



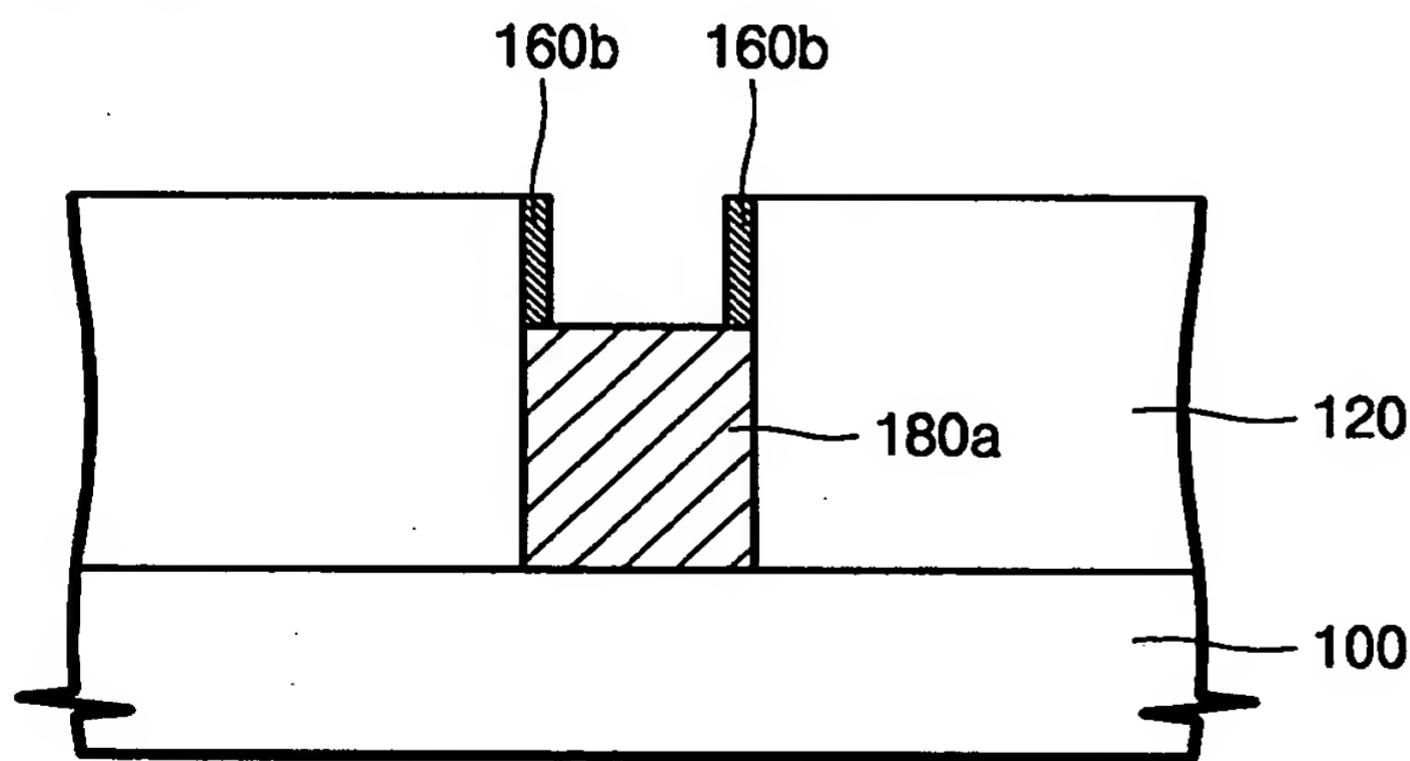
【도 5c】



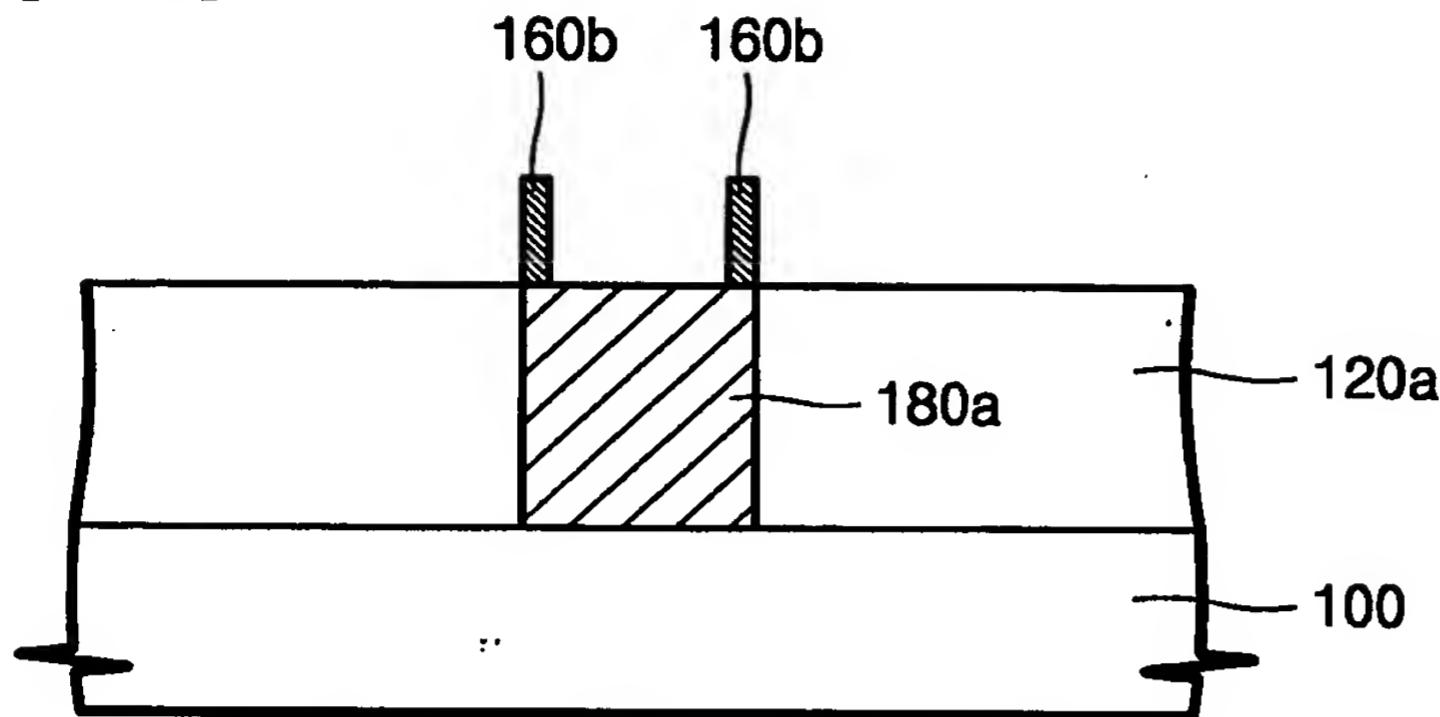
【도 5d】



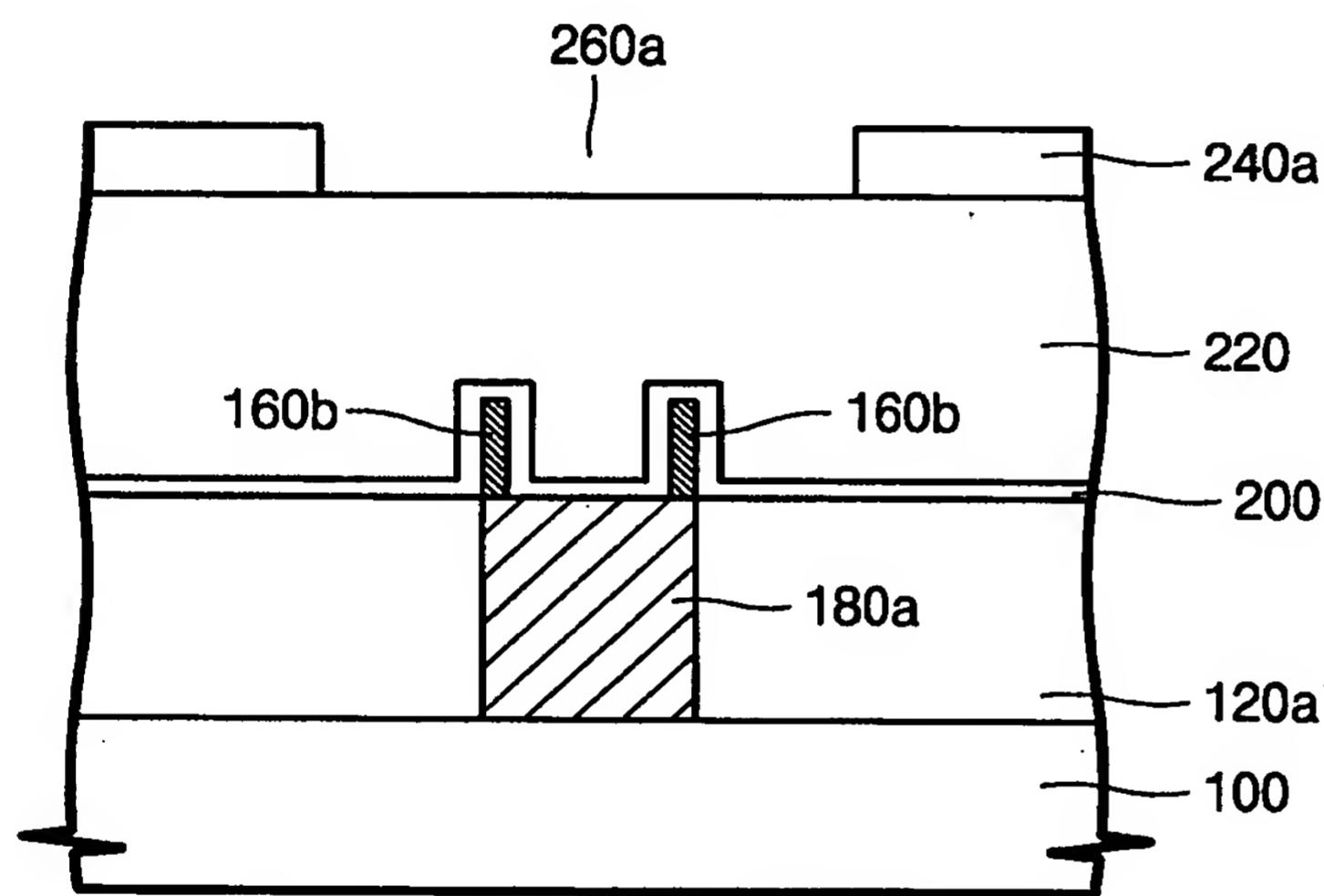
【도 5e】



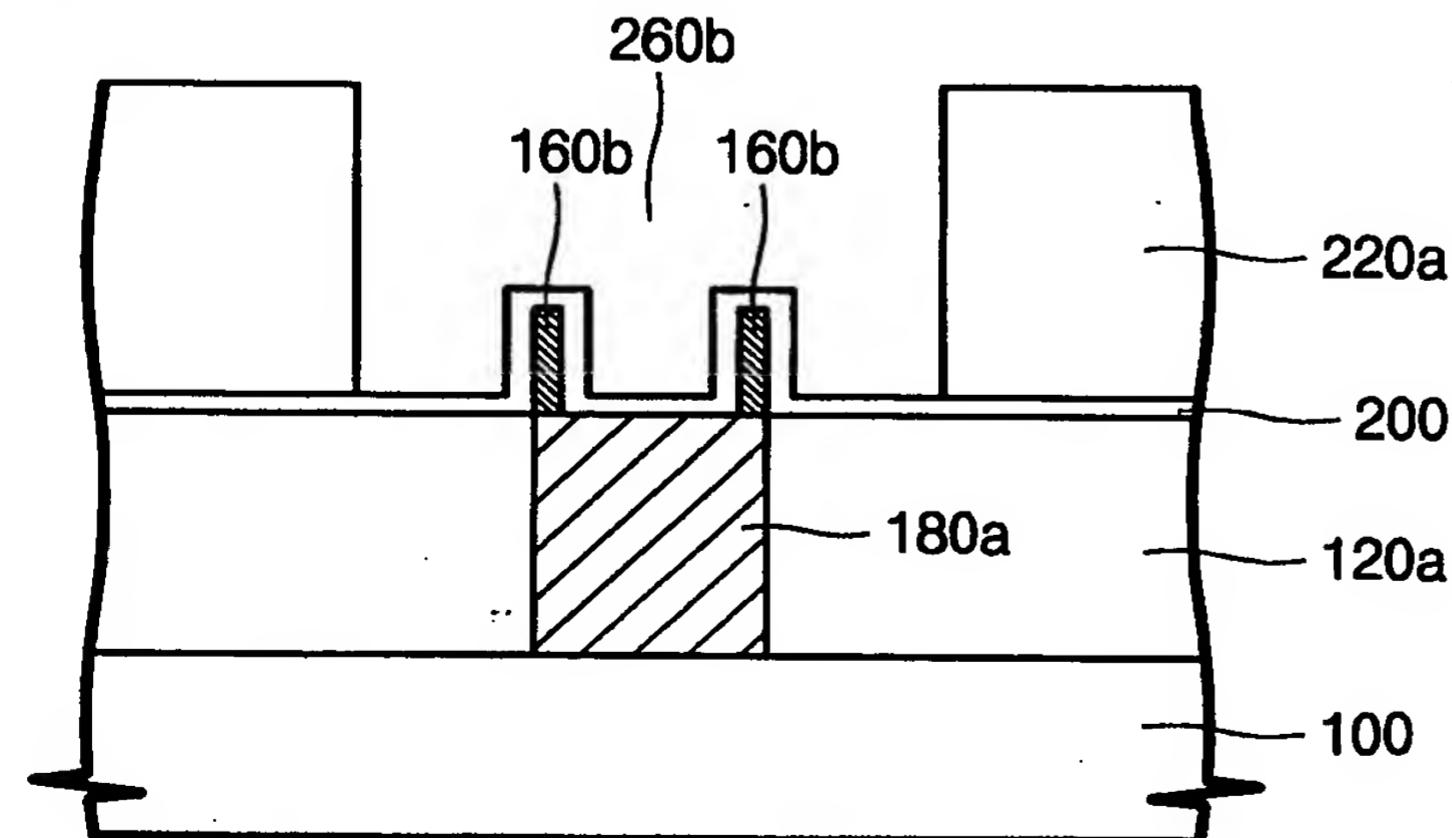
【도 5f】



【도 5g】



【도 5h】





1020020060465

출력 일자: 2003/4/24

【도 5i】

